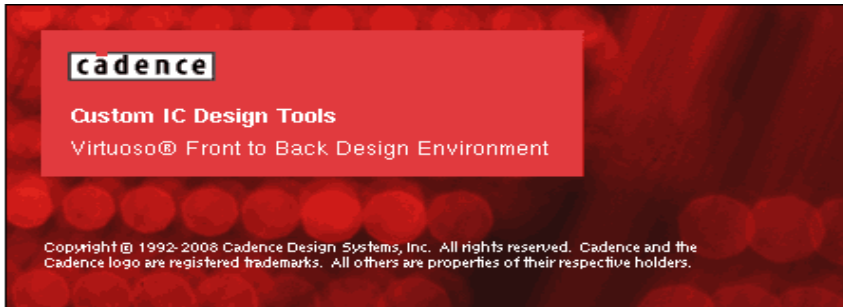
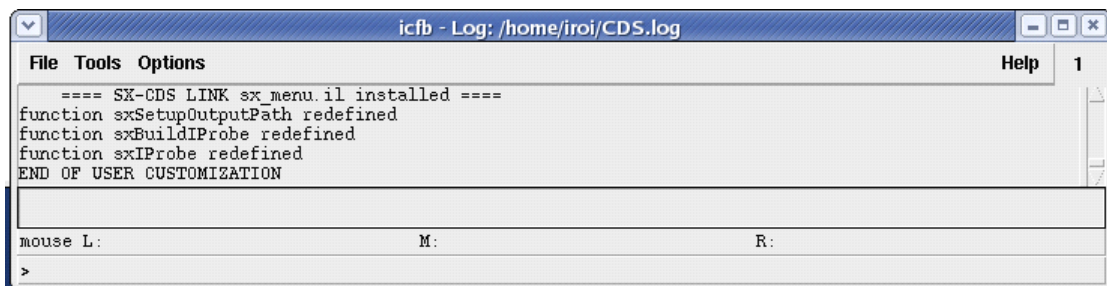


本文介绍 cadence 软件的入门学习，原理图的创建、仿真，画版图和后仿真等一全套过程，本教程适合与初学着，讲到尽量详细和简单，按照给出的步骤可以完全的从头到尾走一遍，本教程一最简单的反相器为例。

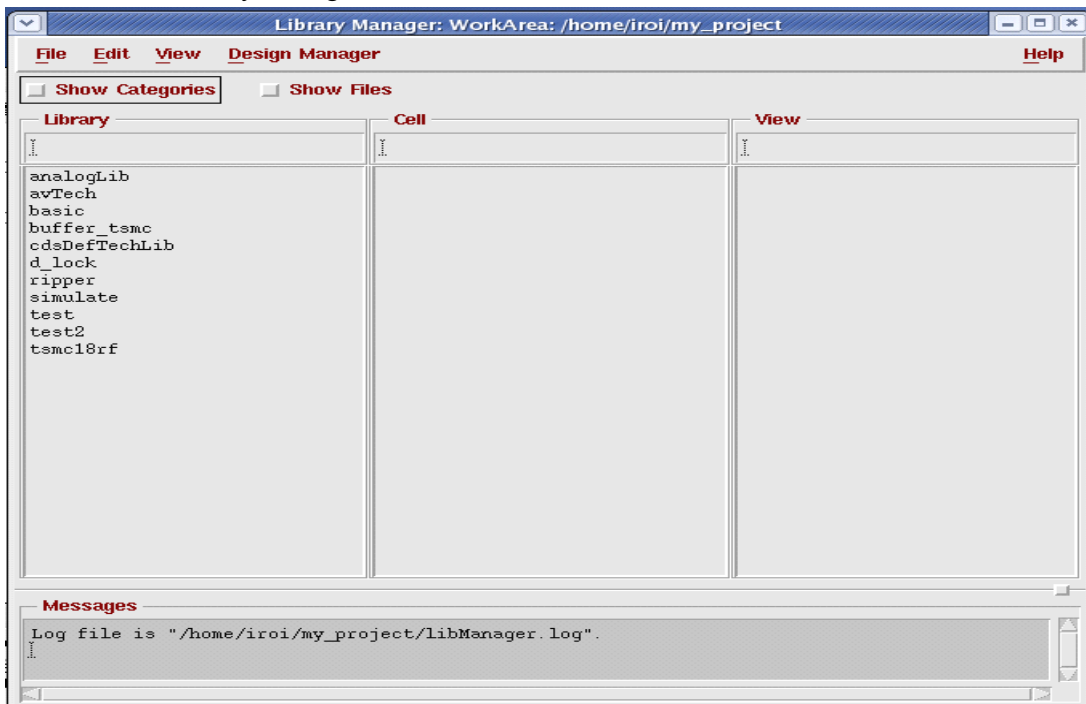
打开终端，进入文件夹目录，输入 icfb & 启动软件，主要中间有个空格。



启动后出现下图：

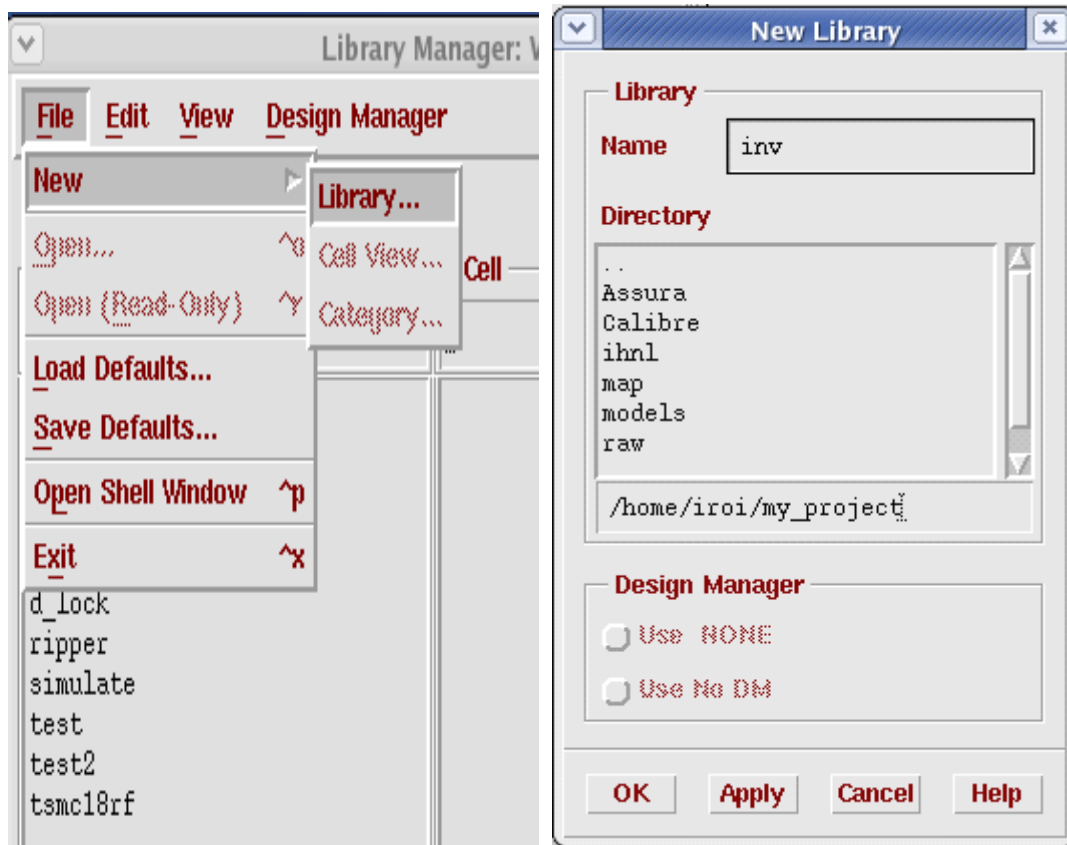


点击 Tools 的 Library Manager，出现如下：



上面显示的是文件管理窗口，可以看到文件存放的结构，其中 Library 就是文件夹，Cell 就是一个单元，View 就是 Cell 的不同表现形式，比如一个 mos 管是一个 Cell，但是 mos 管有原理图模型，有版图模型，有 hspice 参数模型，有 spectre 参数模型等，这就列举了 Cell 的 4 个 View。他们之间是树状的关系，即，Library 里面有多个 Cell，一个 Cell 里面有多个 View。应该保持一个好习惯就是每个工程都应该建立一个 Library，Cell 和 View 之间的管理将在后面介绍。

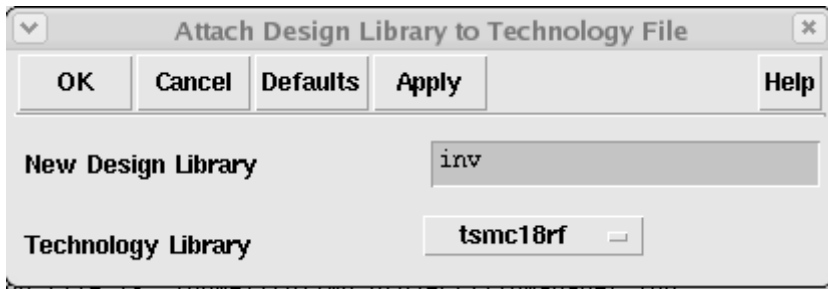
现在建立工程，新建一个 Library，如下左图，出现的对话框如下有图：



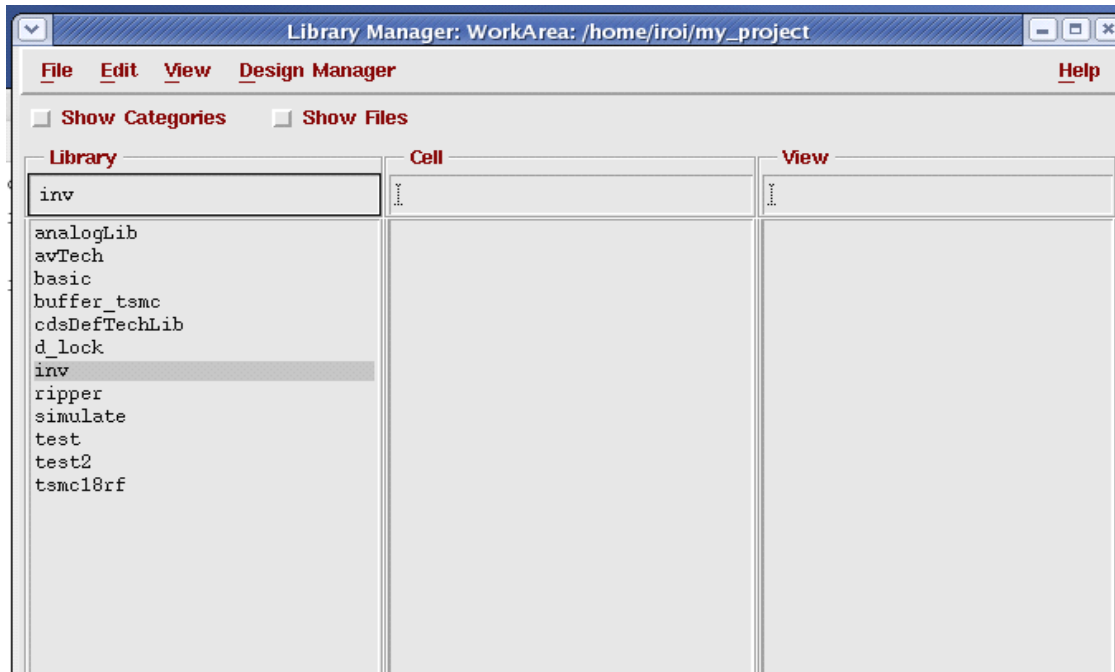
在上右图中选择合适的目录，并敲入名字，这里取的是 inv，这就是新建的文件夹的名字，以后的各种文件都在这个文件夹下。OK 后出现下面对话框



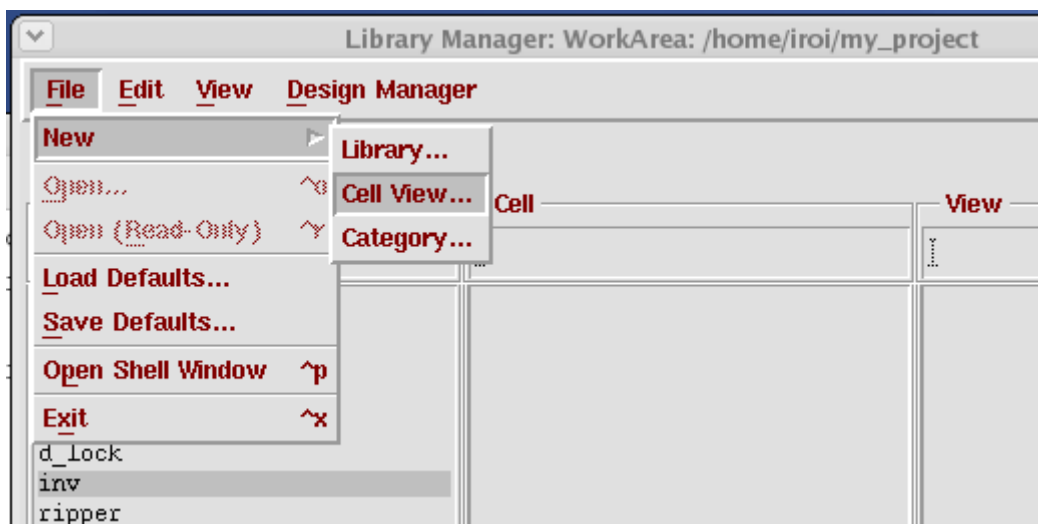
这个对话框是选择是否链接 techfile，如果只是原理图仿真而不用画版图，就选择 Dont need a techfile，这里我们要画版图，而且有工艺库，选择 Attach to an existing techfile，OK 后出现下面对话框：



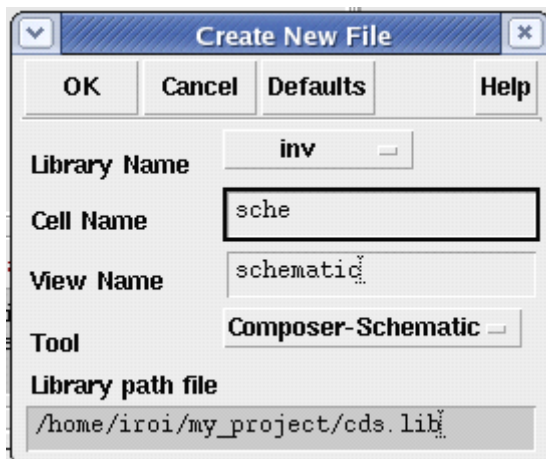
在 technology Library 选择 tsmc18rf, 我们使用的是这个工艺库。Inv 的文件夹就建好了, 在 Library Manager 就有它了, 如下图:



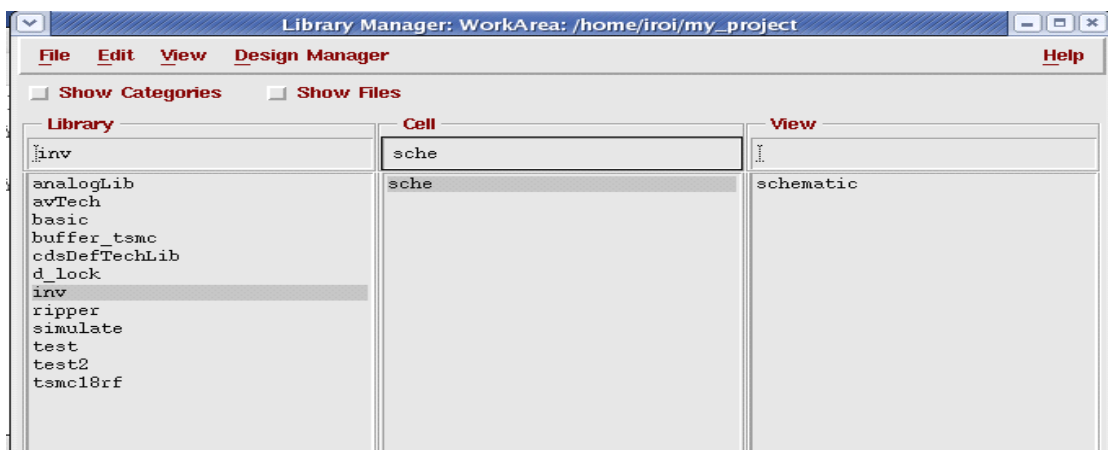
文件夹建好了后, 我们要建立原理图, 在 inv 的 Library 里面新建 Cell 如下:



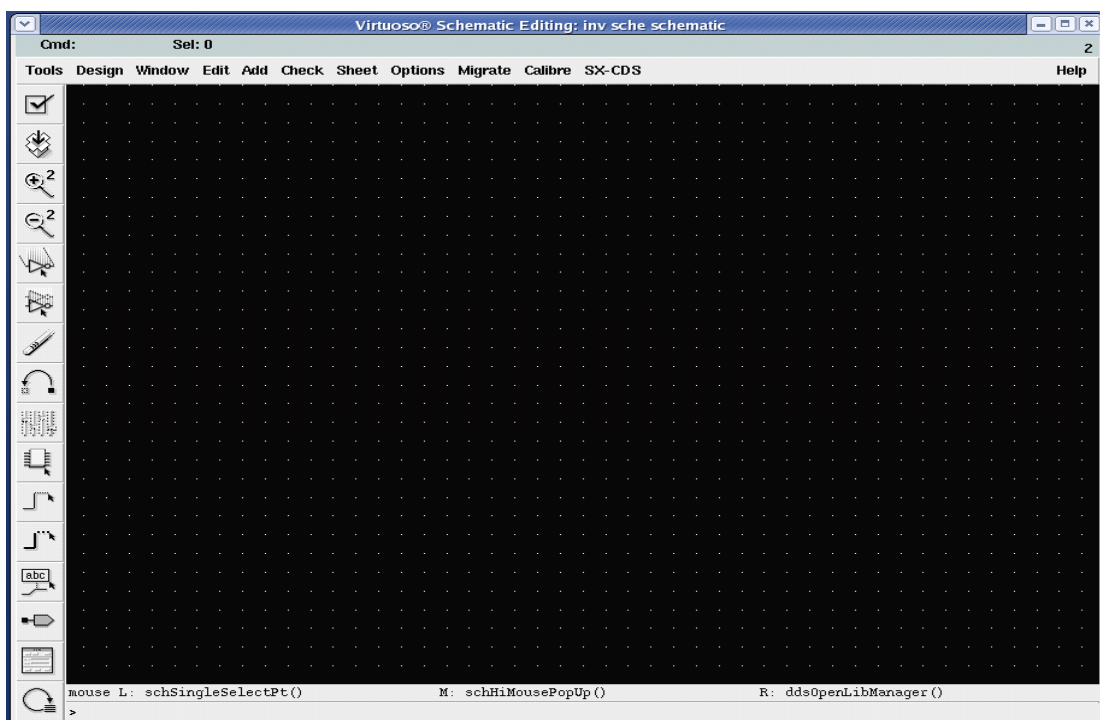
然后出现新建 Cell 的对话框如下：



我这里取的名字是 sche 注意 View Name 是填的 schematic，Tool 用的是这个。点击 OK 之后发现 Library Manager 里面有如下变化：

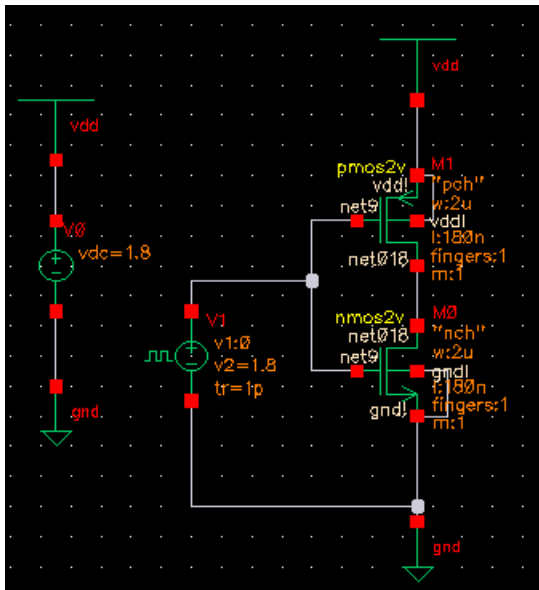


Cell 里面多了 sche，View 里面出来了 schematic，同时 schematic editing 窗口会打开，如果没有打开，可以双击 View 中的 schematic 打开，打开如下：



我们的原理图将在上面的面板中画，schematic editing 面板中的左边图标的意思我这里就不说了，可以看看其他版本的介绍。

下面开始介绍画原理图的步骤。下图是我们最终要画的原理图，一个简单的非门。



先对这个图进行说明。绿色的 vdd，它只是一个标号，说明每个 vdd 是连接在一起的，它并不提供电压和电流，真正的电源是 V0。同样，gnd 也是一样，只是一个连接的标记。图中的参数和网络标号是比较多了，不要看糊了。不管什么电路，所有 nmos 的 B 极是接地的，所有 pmos 管的 B 极是接电源的。V1 是信号源，这里是个方波。

先介绍一些快捷键，快捷键以后会经常使用。

i 是添加 instance (instance)

f 是合适的显示所有内容 (fit)

m 是移动 (move)

w 是连线 (wire)

q 看属性 (property)

p 添加引脚 (pin)

s 是保存 (save)

x 是检查并保存，这个经常使用，它会检查一些简单的连线错误。

鼠标上的前后滚轮是放大、缩小

e 进入 symbol 的内部电路

Ctrl+e 从 symbol 内部电路中退回

[是缩小

] 是放大

按住 shift 拖动 是复制添加

Delete 是删除

r 是 90 度旋转

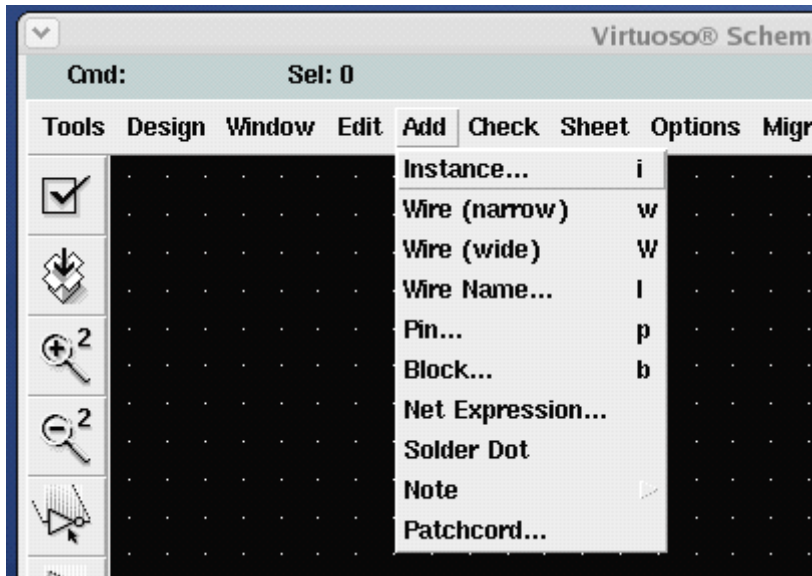
r 后再按 F3 可以选择左右翻转或者上下翻转

方向键当然可以上下左右移动

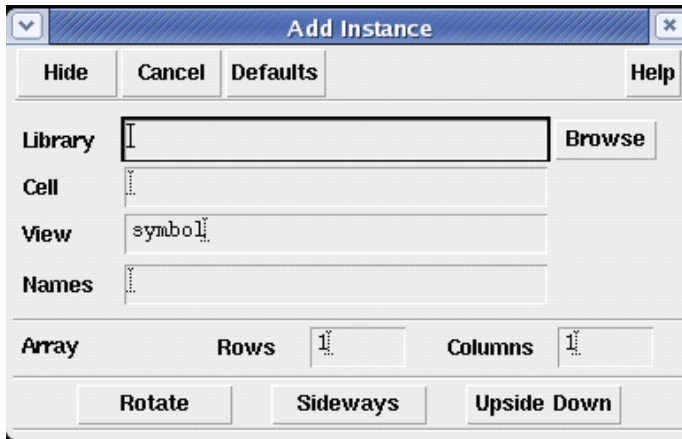
Esc 这个很重要，是退出当前快捷方式，要经常使用。

除非选择了另外的快捷键，否则当前的快捷键一直存在，所以经常用 esc

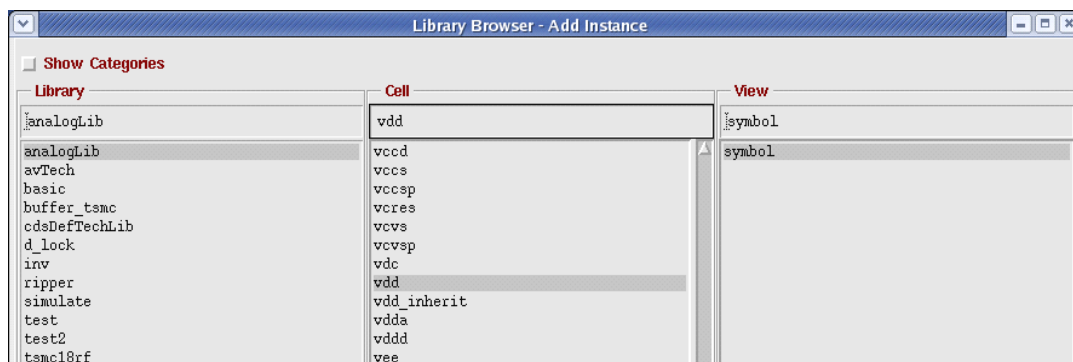
现在放置 vdd，如下图，点击 Add 的 Instance，或者直接按键 i。



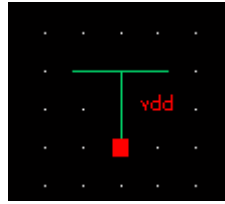
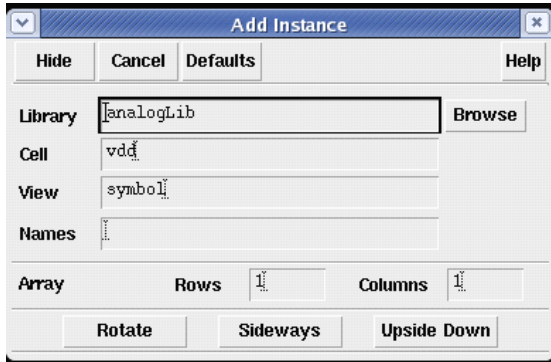
将出现下面的对话框：



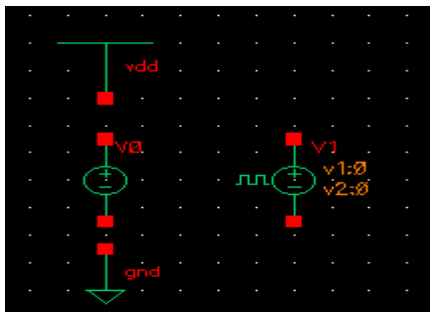
如果不知道库名和 Cell 名，就点击 Browse，出现如下：



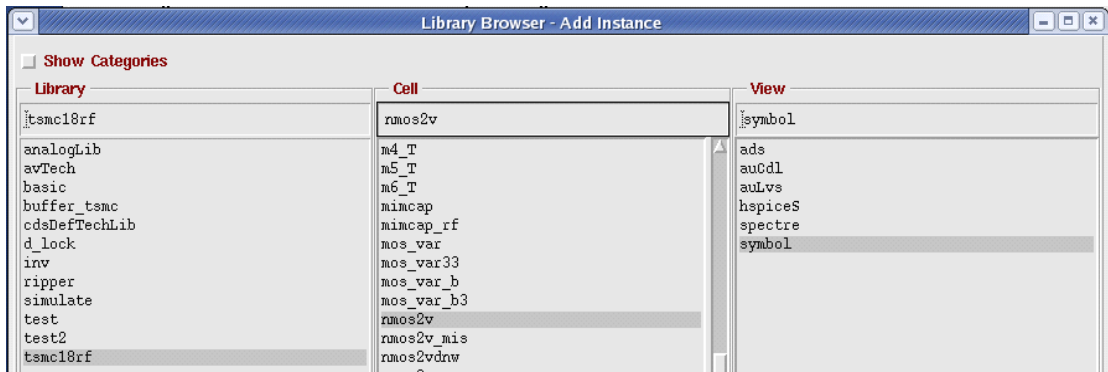
Vdd 在 analogLib 库里面，找到 vdd，选择 View 为 symbol，然后将此窗口关掉，然后会发现，在 Add instance 窗口中已经将 vdd 的相关信息加入进来了，如下图，同时 vdd 已经悬浮在鼠标上，可以点击 Hide 将此窗口隐藏，然后可以随便放置 vdd 了。



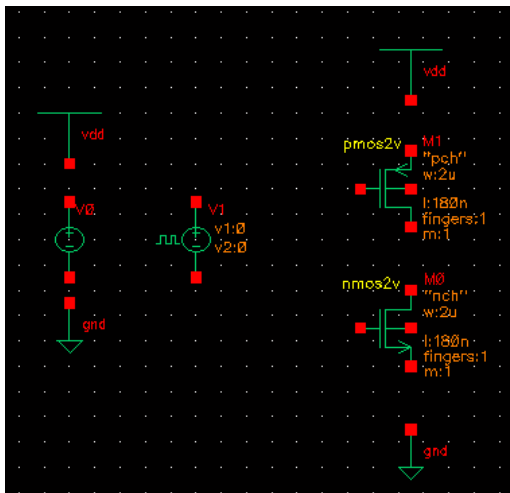
同样的原理放置 gnd。记得使用 i 来添加 instance 的方法。vdc 是直流电压，也在 analogLib 库里面，同样放置，vpulse 是方波发生器，也在 analogLib 库里面，同样放置，放完后如下图：



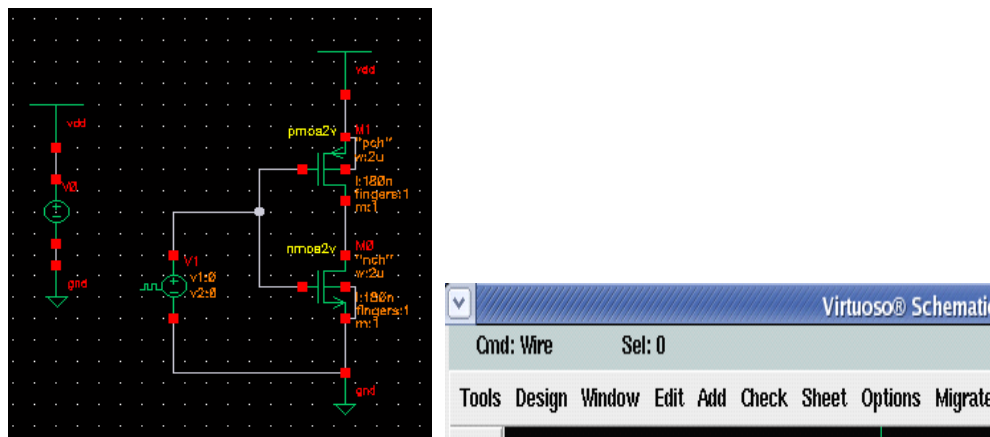
然后就是仿真 mos 管了，使用的是 tsmc18rf 的库，元件名是 nmos2v 和 pmos2v



可以看得出来，库名是 tsmc18rf，库里面有很多元件，即很多 Cell，每一个 Cell 又有很多模型。所有的放置完后如下图：

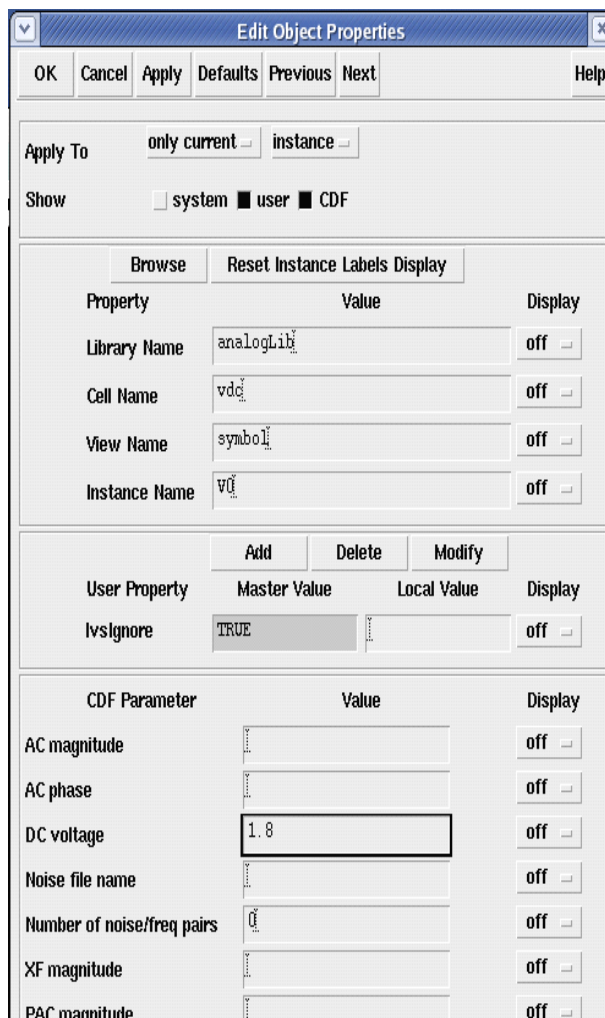


按 w 键，开始连线，连线完后如下图



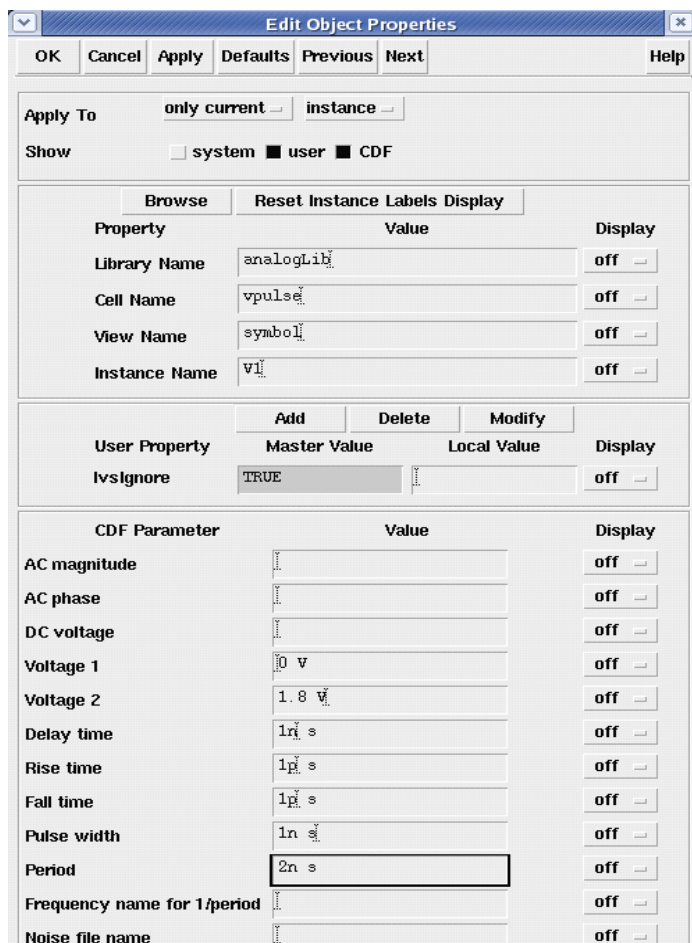
注意 mos 管的 B 极别忘了接。从左上角的 Cmd 可以看到当前使用的是什么命令。接下来就是要设置参数了。

单击 V0 将它选择，按 q 键，则弹出它的属性对话框如下：



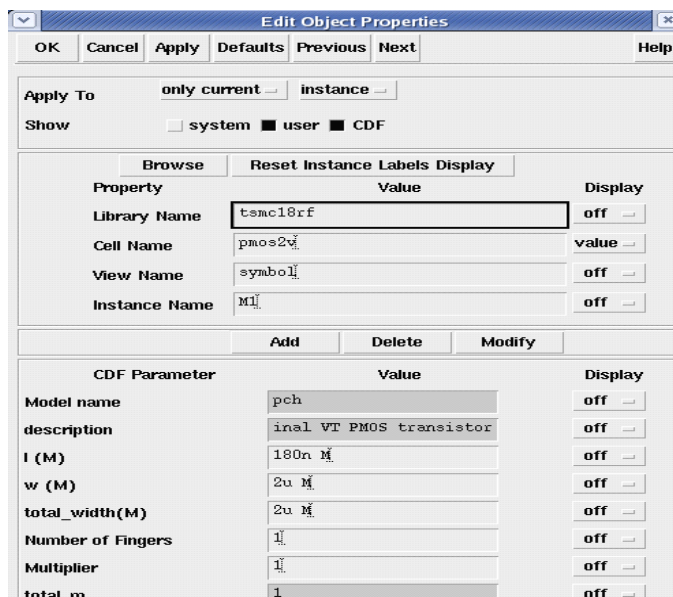
V0 是直流电压，我们用的是 0.18um 的工艺库，电源电压是 1.8V，这里只要设置 DC voltage 为 1.8 就可以了，这个软件所以参数的设置就不用最好的单位，比如 1.8V 只要些 1.8 就可以了，加了 V 反而错了。再如 10ns 只要些 10n 就可以了。点击 OK 退出。

然后点击 V1，按 q 键，打开 V1 的属性如下：



这里需要设置的参数多些，方波嘛，有两个电压，这里设置的 voltage1 为 0，2 为 1.8V，后面的单位都是系统加上的。Delay time 是延时时间，rise time 是上升时间，fall time 是下降时间，pulse width 是脉冲宽度，也就是 voltage2 的持续时间，period 是方波的周期，这样，一个方波就被完全确定了。点击 OK 退出。

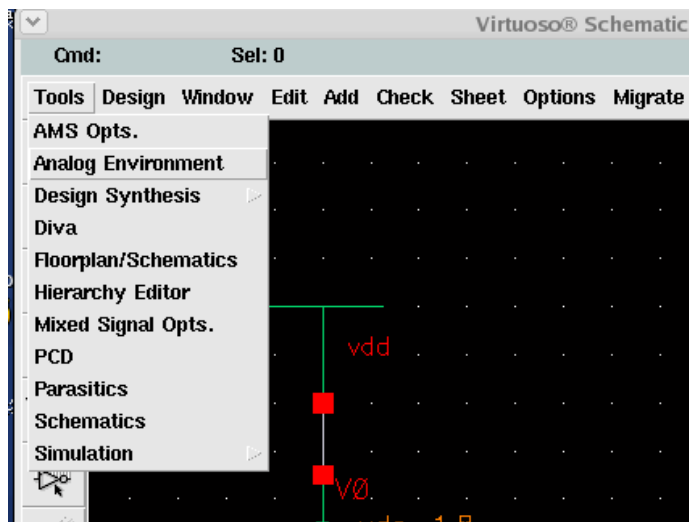
然后是 MOS 管的参数，如下：



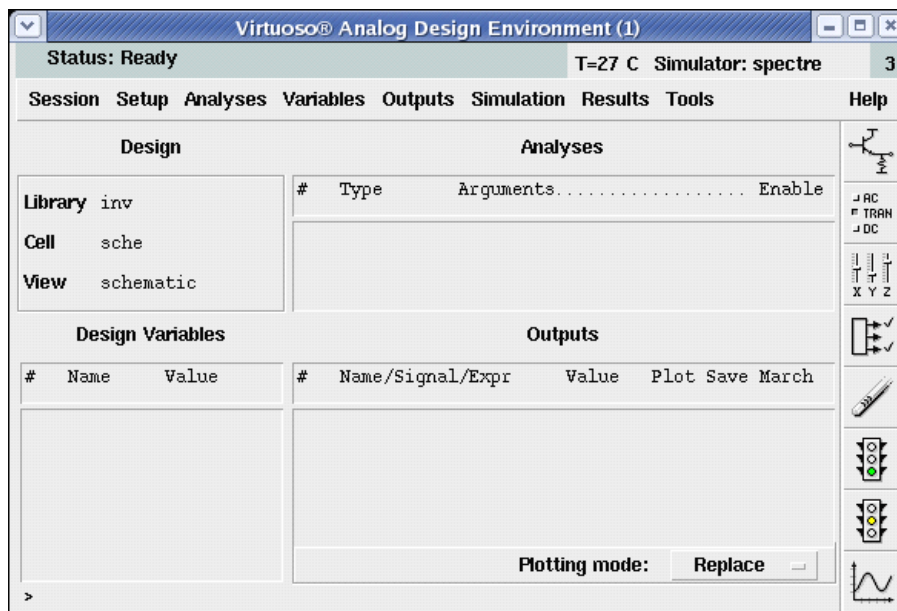
主要是设置宽和长，这里不改。

到这里参数是设置就结束了，原理图就画完了，记得按 x 键检查并保存。

接下来是仿真，打开仿真窗口，从原理图窗口中点击 tools 的 analog Environment，如下图

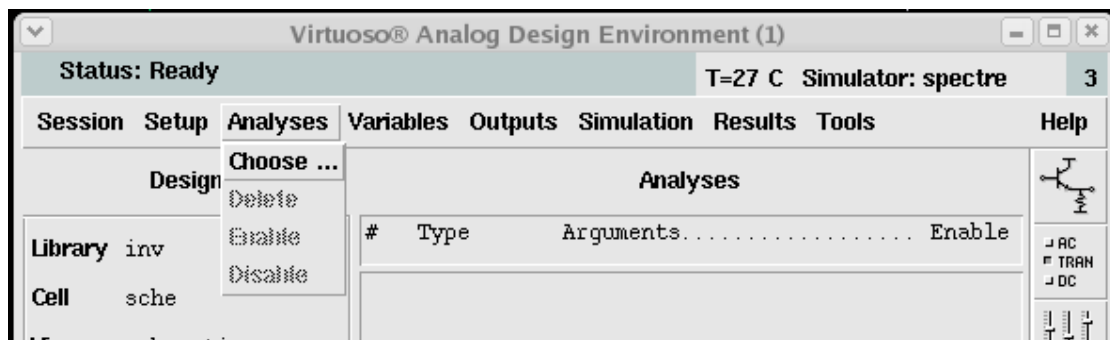


出现如下窗口

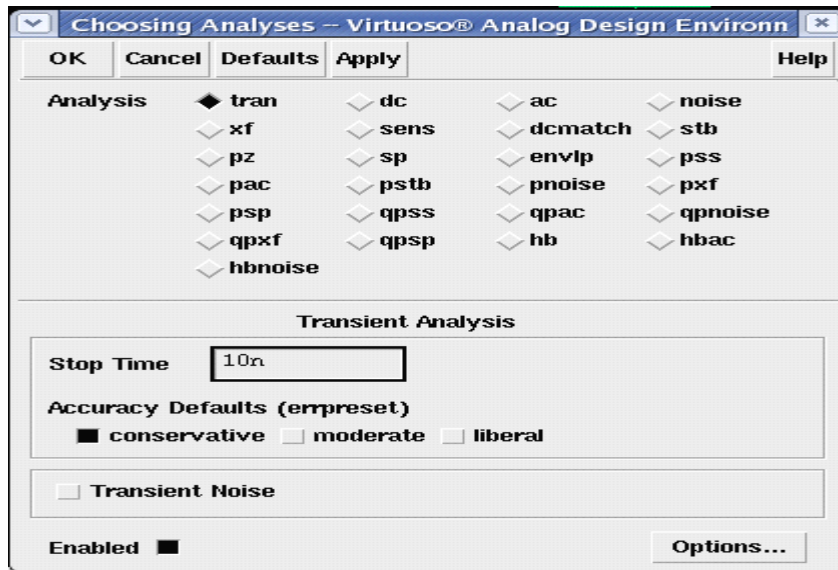


这里面是主要的，所有仿真都在这里设置的，各个功能的介绍这里就不介绍了，参加其他教程。在我们的例子中，我们需要的是瞬态仿真。

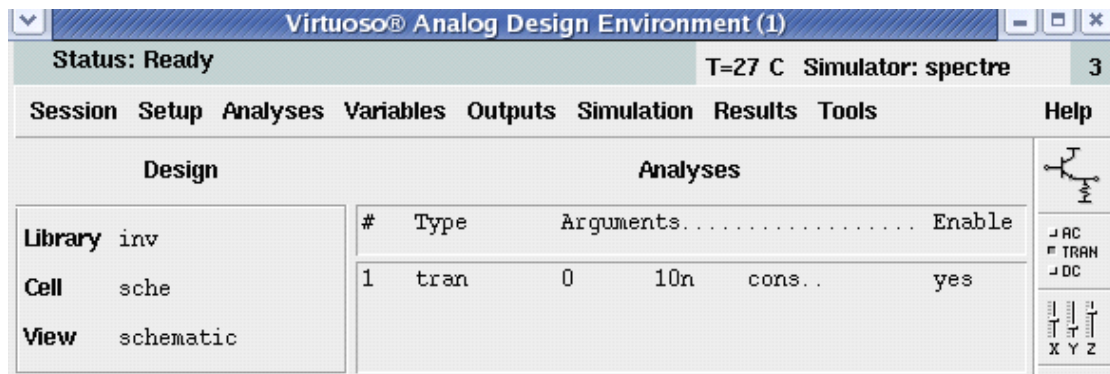
下面设置瞬态仿真，点击 analyses 的 choose...，如下图：



将出现下面的对话框:

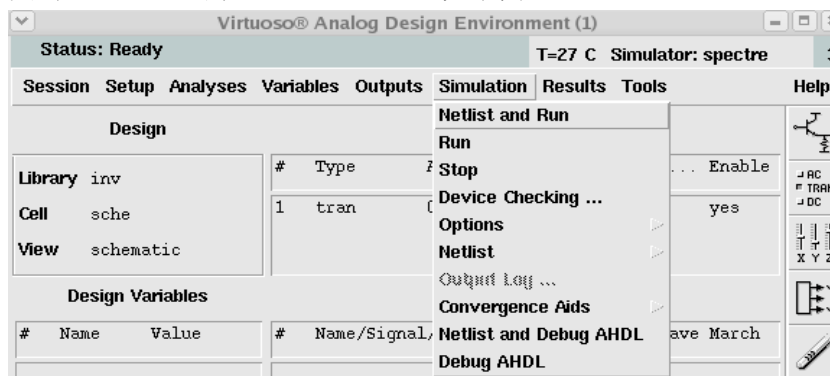


这里有很多的仿真模式,我们使用的瞬态仿真是 tran,其他的我也不介绍了,stop time 填 10n,因为上面信号源的设置是 2ns 的周期,显示 5 个周期就差不多了。然后选中 conservative,表明是最高精度的分析,然后选中 enabled,使能 tran 仿真,点击 OK 退出。可以发现仿真窗口发生了变化如下:

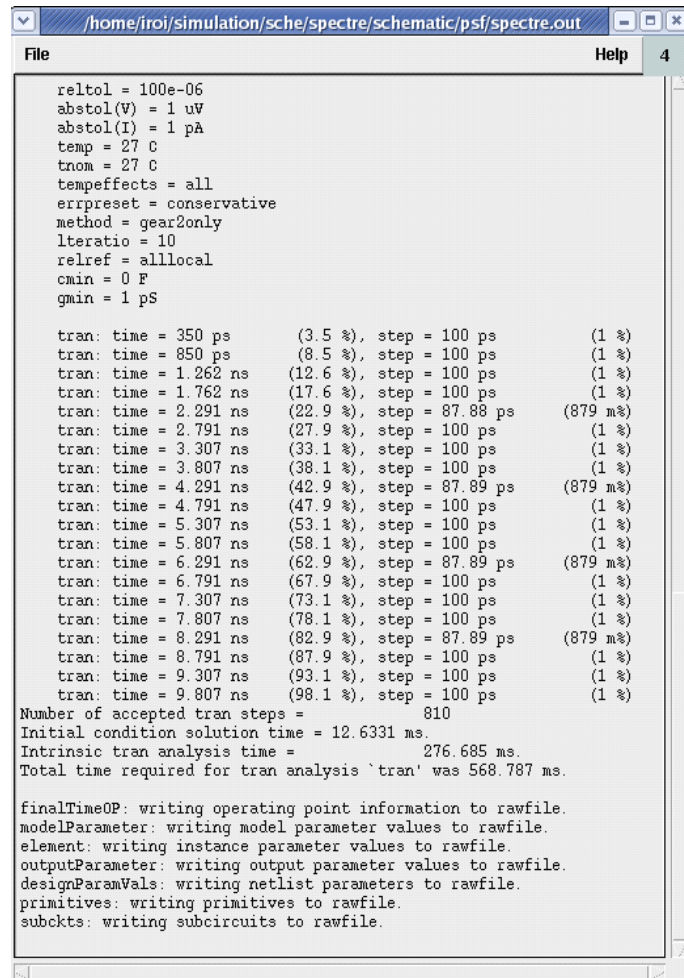


我们这个的仿真设置就这样好了,下面开始仿真。

点击 simulation 的 Netlist and Run, 如下图:

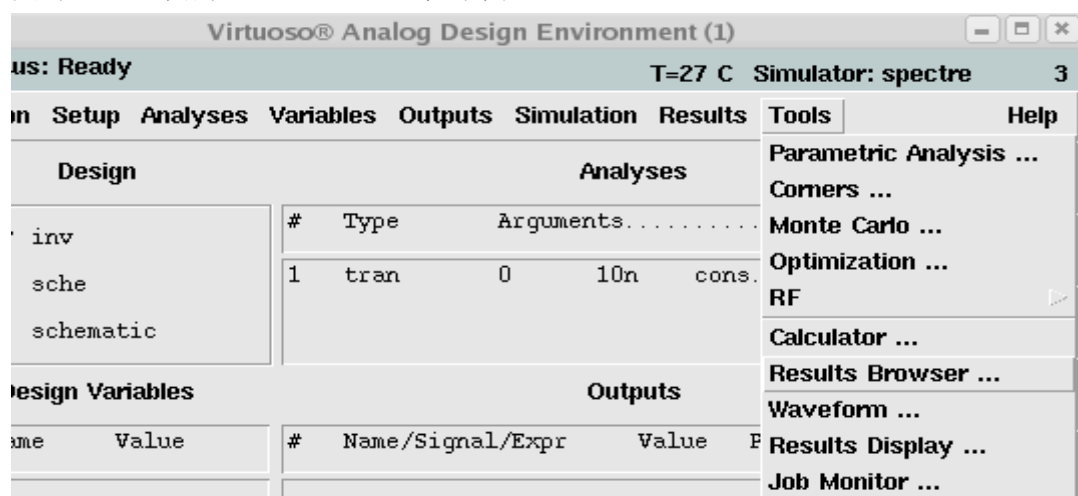


它有可能出现一个介绍性的东西，也有可能不出现，如果出现了点击 OK 就可以了，完了后会出现一个仿真的信息窗口，如下图：

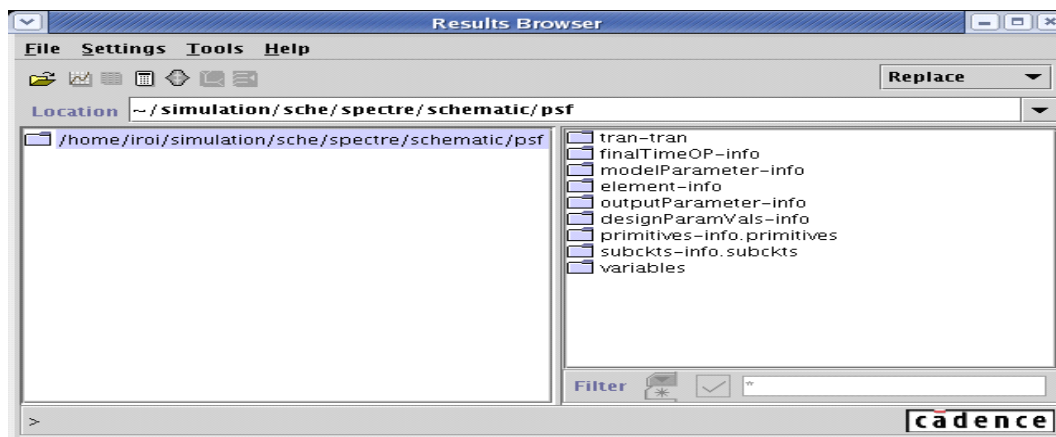


如果一切顺利就会出现上面这个东西，如果你的库没有安装好，会在这个里面报错。仿真结束了，然后就是看波形了。

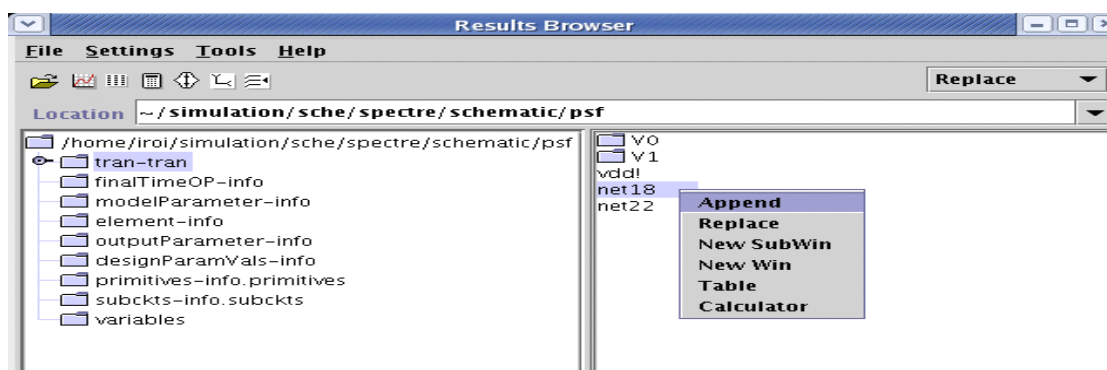
点击 tools 里面的 results browser，如下图：



将出现如下图所示的 results 窗口：

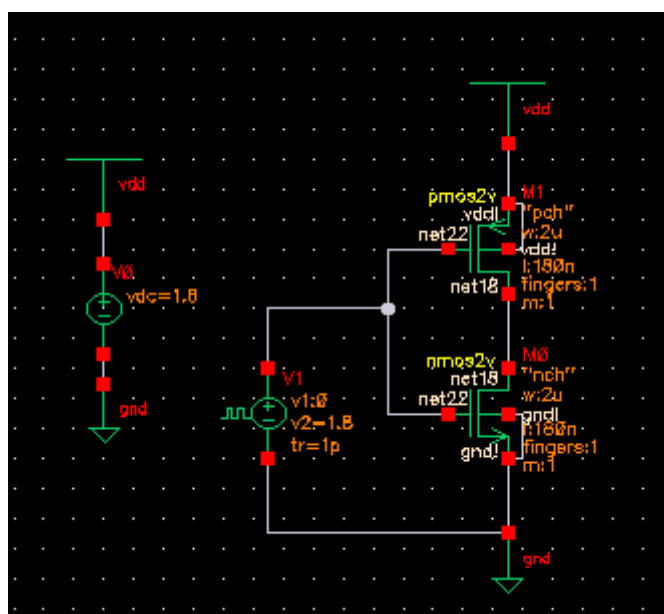


双击 tran-tran，出现如下：



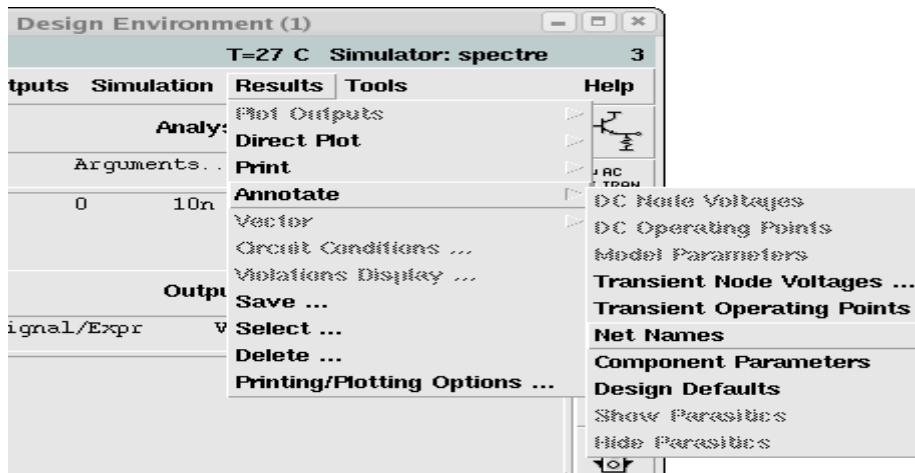
有个 net18 和 net22，当然这个名字可能各易。右键 net18 会出现上图的情况，其中 append 表示在当前图形窗口中添加 net18 的图形，如果当前没有图形窗口则显示 net18 的图形。其他的这里不介绍了。

下图中可以看到，net18 是非门的输出，net22 是输入，也即信号。



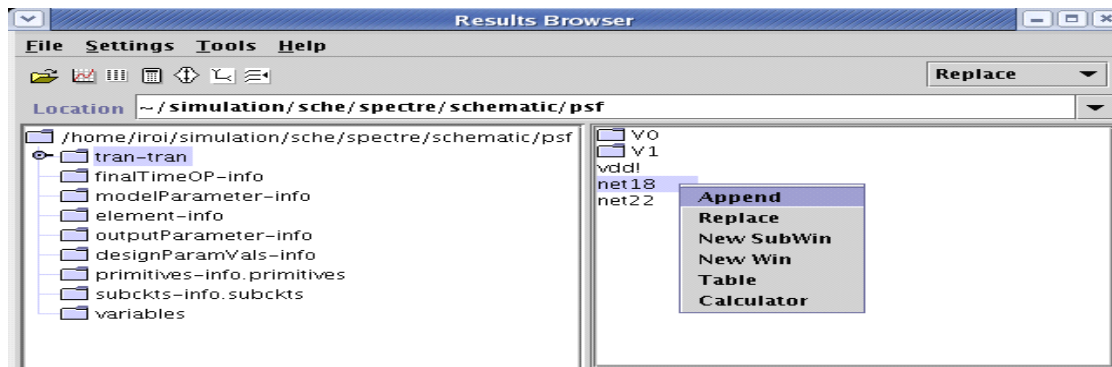
如果没有显示 net 信息，这可以通过下面的方法显示。

点击 results 的 annotate 的 net names。

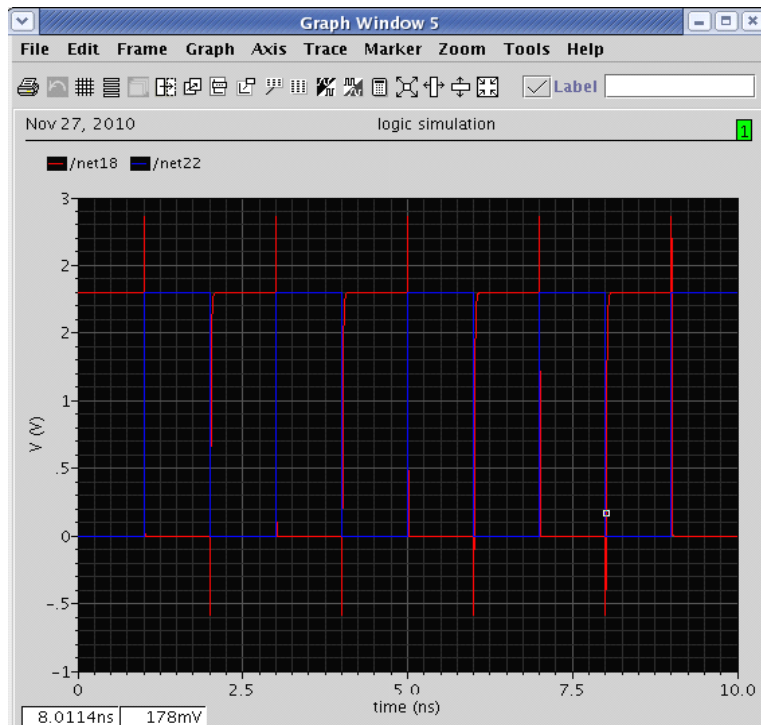


这里面是些显示的设置，具体这里不介绍了。

下面看波形：将 net18 和 net22 的波形都显示出来：

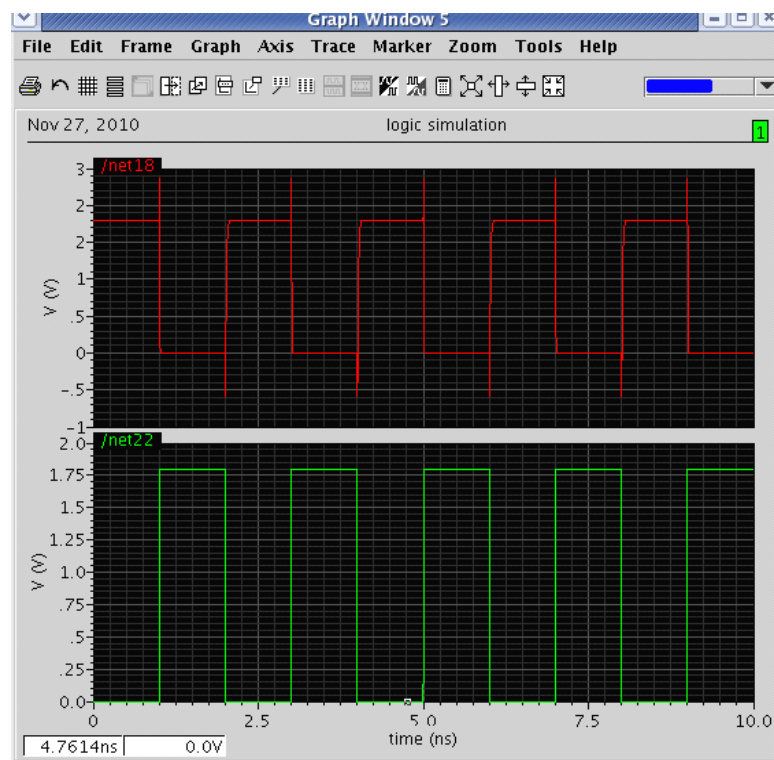


显示出来的波形如下：



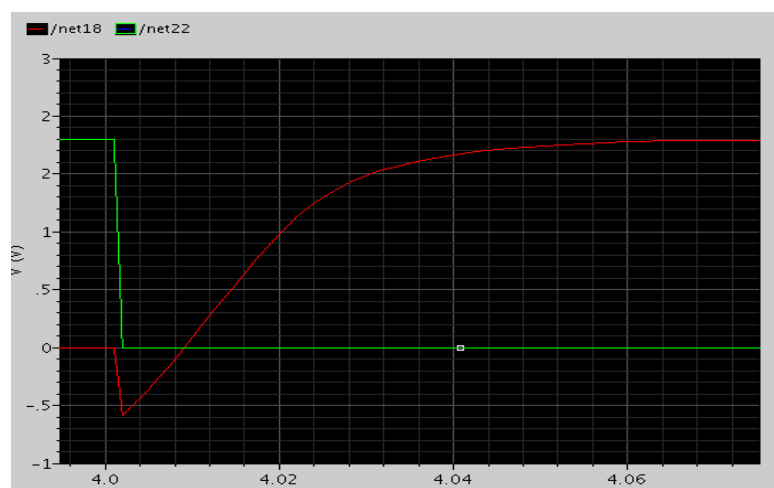
然后观察波形，看是否满足原理图的逻辑，

点击这个  可以得到下面的图形：



可以看得出，它符合一个非门的逻辑。

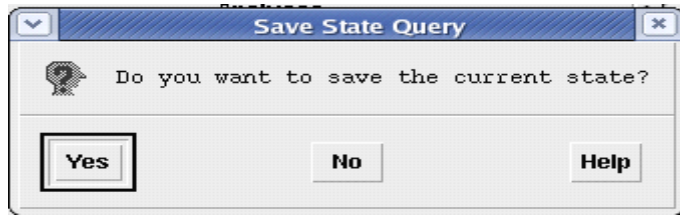
点击这个  可以将部分图形横向拉开，如下图：



可以看到，绿色的是输入的方波，下降沿的时间为 1ps，观测反相器的上升沿的时间。红色的输出在输入跳变时也有个相应的跳变，那是因为在 mos 管 gd 之间的电容造成的，将输入信号耦合到了输出。如果输入信号的上升和下降时间设置慢些，这个现象就不是很明显了。

到此，原理图的仿真就完了。每次更改原理图后，仿真前都得 x（检查并保存），可以不 s（保存）。

在关闭仿真窗口 analog design Environment 时会提示是否保存当前状态，选择保存就可以了：

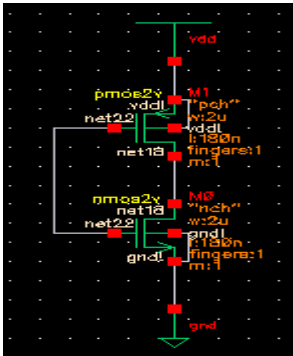


接下来还有一个，也选 OK 就可以了。关闭过程有点慢。

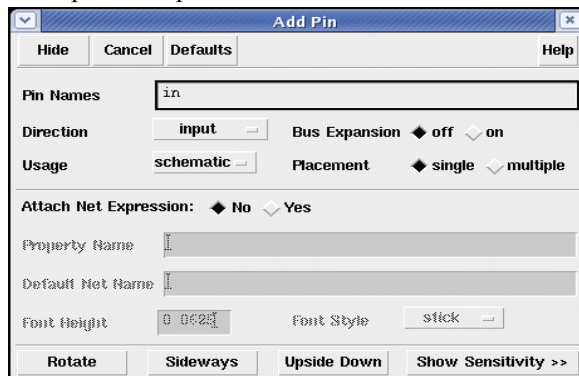
一般的，都会将一个模块做成一个 symbol，然后另外搭建测试电路，而且如果是要做版图，版图是不能将测试电路做进去的，也得将要做的版图部分做一个模块，所以下面就将其改成 instance 的形式。

先将测试电路删掉，然后加入输入和输出的 pin。

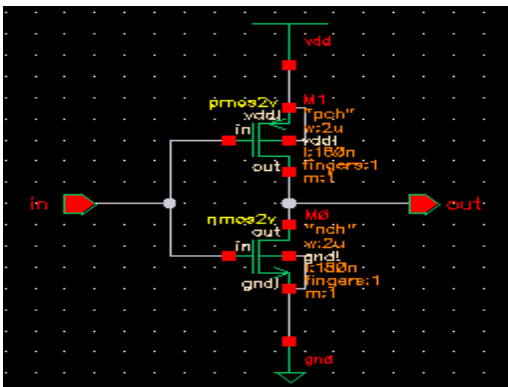
删掉后如下：



按键 p，弹出 pin 的对话框如下：

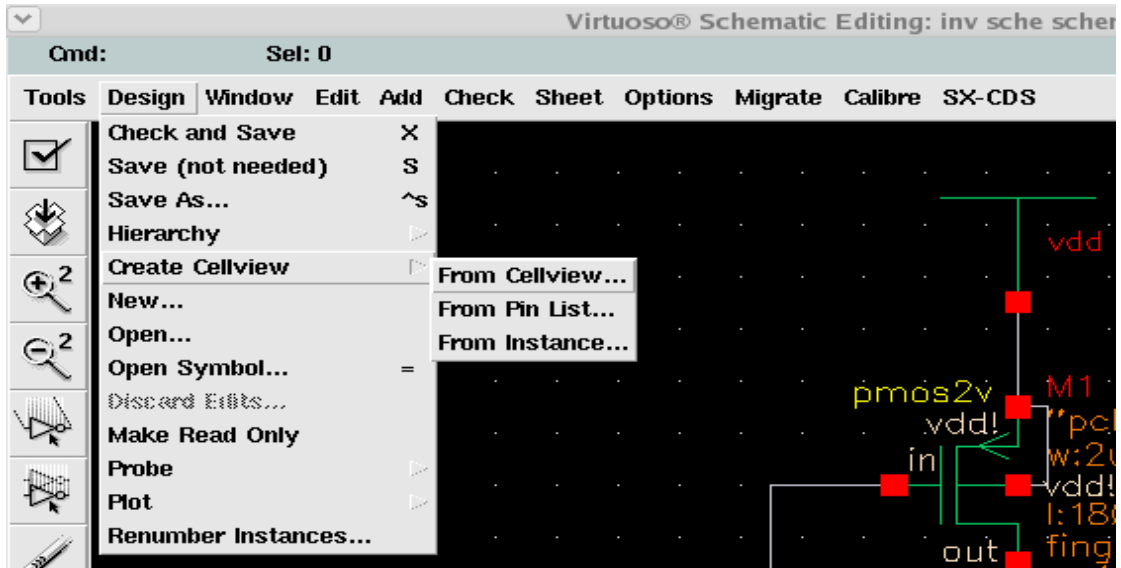


Pin name 填 in，direction 选 input，Attach net expression 选 no，然后点击 hide，放置 pin 就可以了，同样放入 out，不过方向要选择 output。完了之后的图形如下：

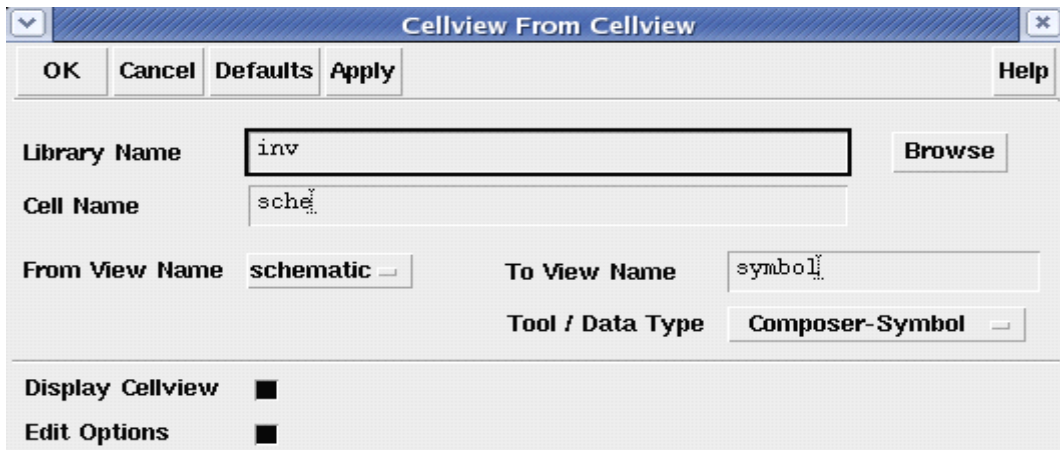


然后要把它做成一个 symbol，记得保存，不但要 x（检查并保存）也要 s（保存），否则 symbol 不一定同步。

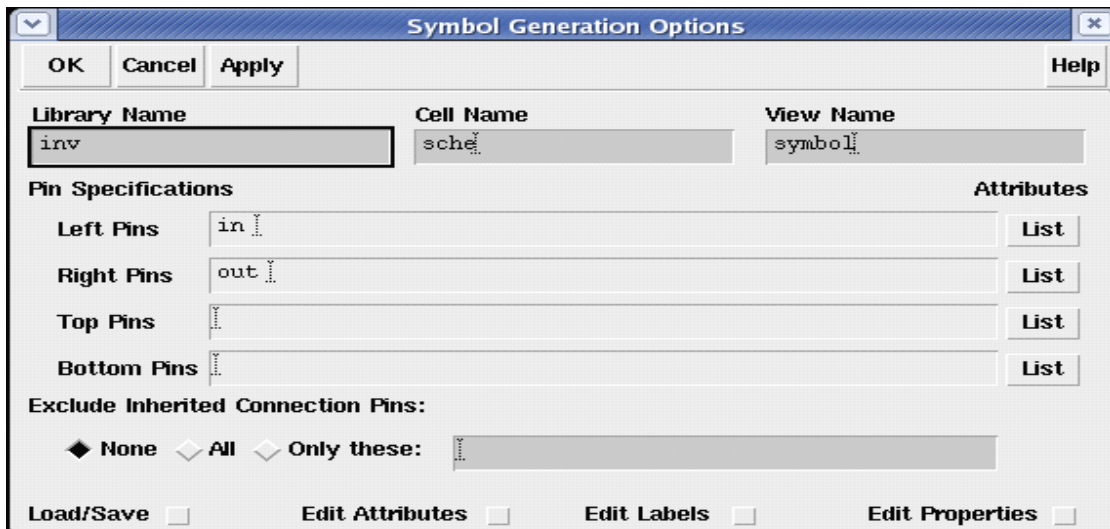
点击 design 的 create cellview 的 from cellview，如下图：



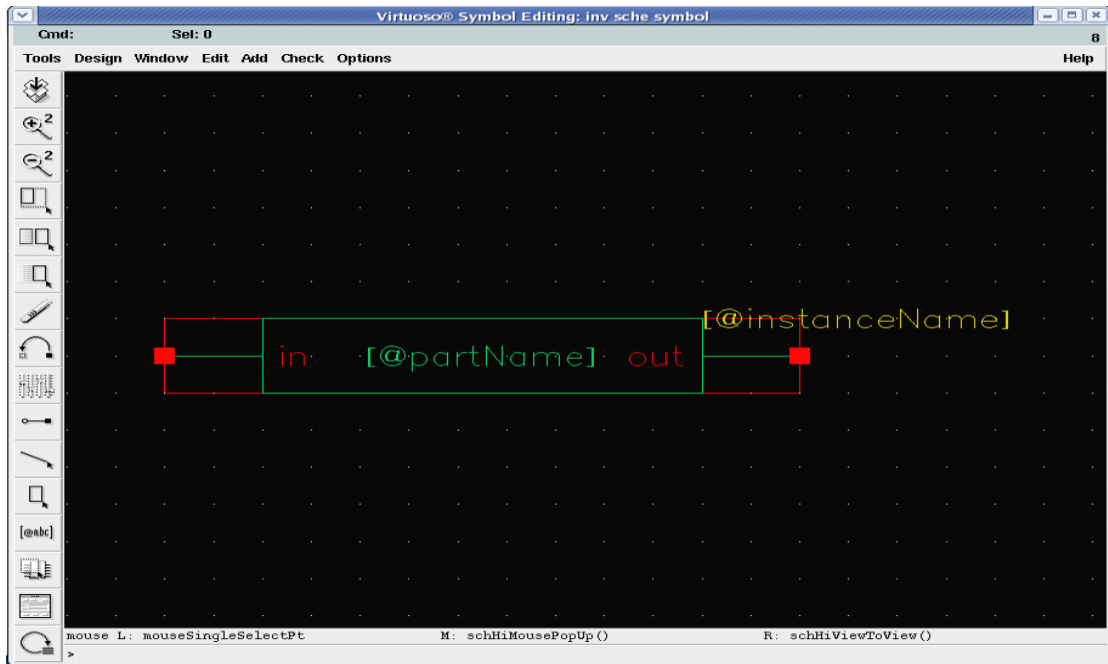
出现下图：



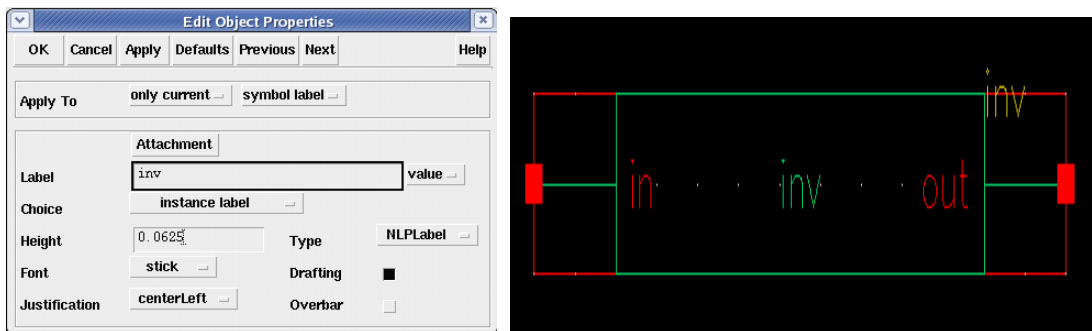
点击 ok，得下图：



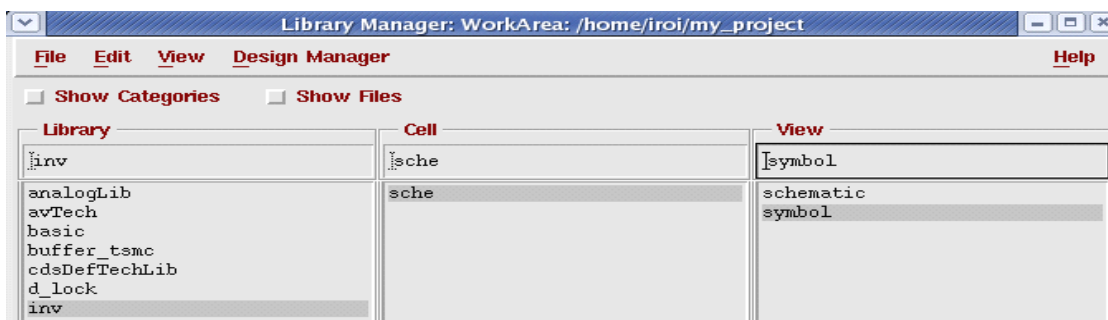
这里我们不需要更改，直接 OK，得下图：



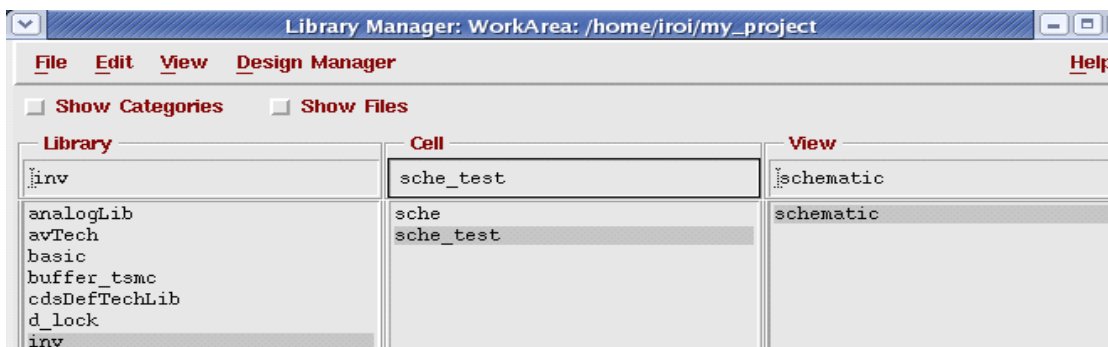
这就是封装后的 symbol，只有接口，其中 instance name 和 partname 可以更改，点击，
按钮 q，改为 inv



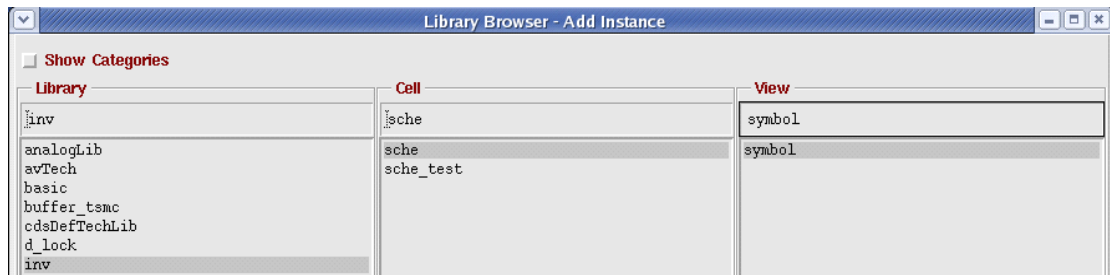
这样，symbol 就建好了，记得保存。可以看到 Library Manager 里面多出来了一个 symbol



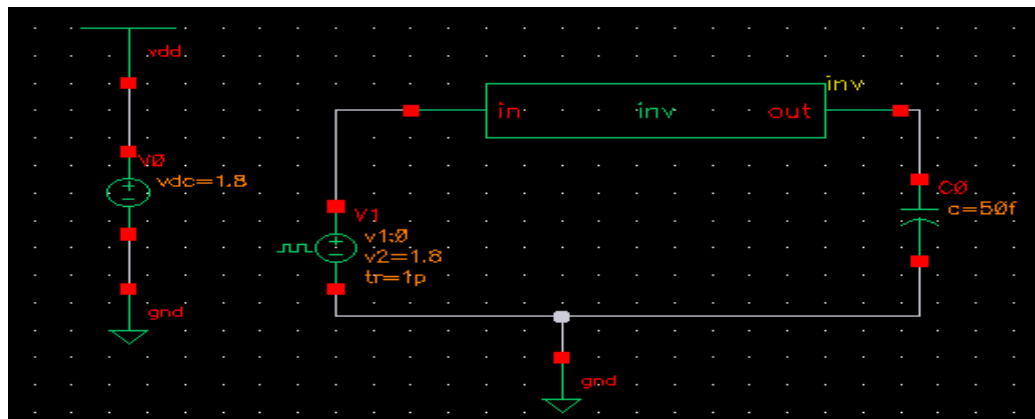
现在要建立测试电路，测试电路也是原理图，得另外新建一个 cell，建完后如下：



在测试电路 sche_test 的 schematic 里面建立电路，在这里要把我们刚生产的 inv 的 symbol 加进来，过程和前面加 vdd 们的一样，按键 i, browser, 然后选择 inv 的 symbol，如下：



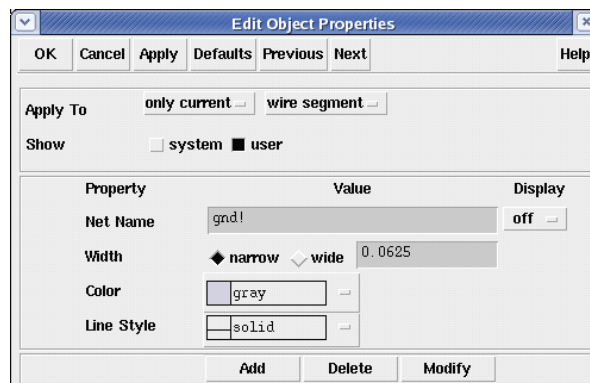
建立完了的测试电路如下：



在这里加了个负载电容，容量为 50fF，f 是比 p 还小三个数量级的单位，为 10 的-15 次方。其他的仿真和上面介绍的是相同的。

选中 inv，按键 e，点 OK，可以进入其内部电路，ctrl+c 可以退回。

点击连接 gnd 的线，然后按键 q，看线的属性，如下图：

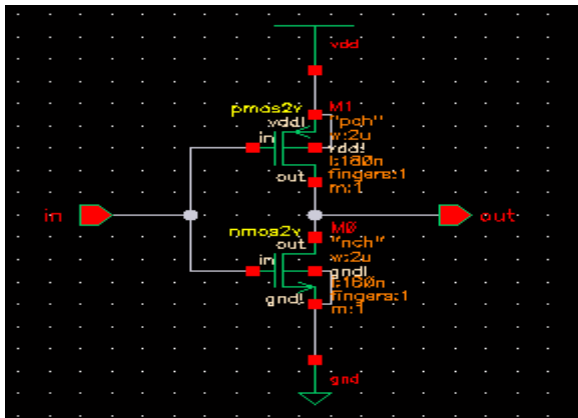


可以发现，net name 是 gnd! 而不是 gnd，这个很重要，加! 说明是全局变量，这样才能跟底层的 gnd! 连接在一起。同样，vdd!，但是其他的都不是！

好了，到这里原理图部分就介绍完了。下面介绍版图。

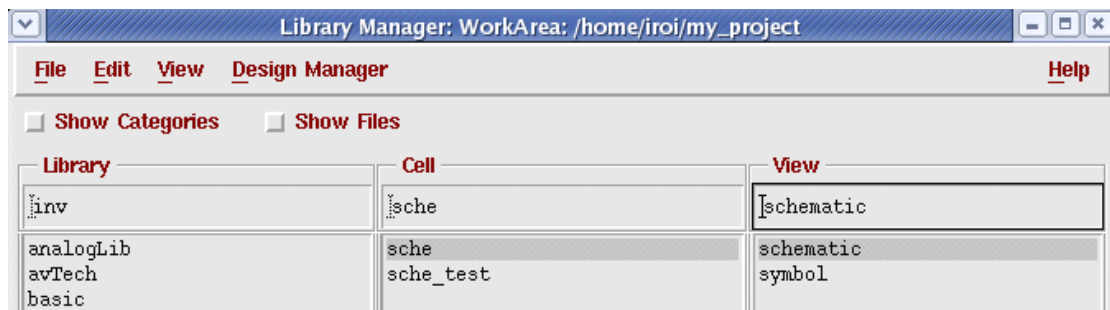
这里开始介绍版图。

我们是要画这个电路的版图：

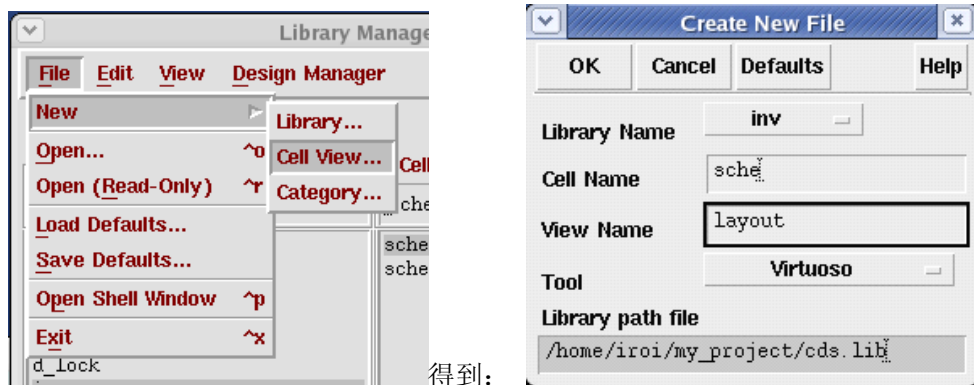


其他的原理图都可以关掉。记得保存。

版图要注意文件结果，不要放错了，否则后面比较麻烦，现在文件结构如下：



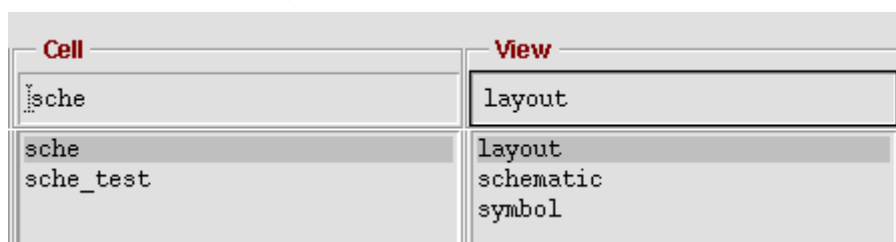
现在要新建一个版图的 Cell，最好是将版图文件和你要建立版图对应的原理图放在同一个 Cell 里面，过程如下：



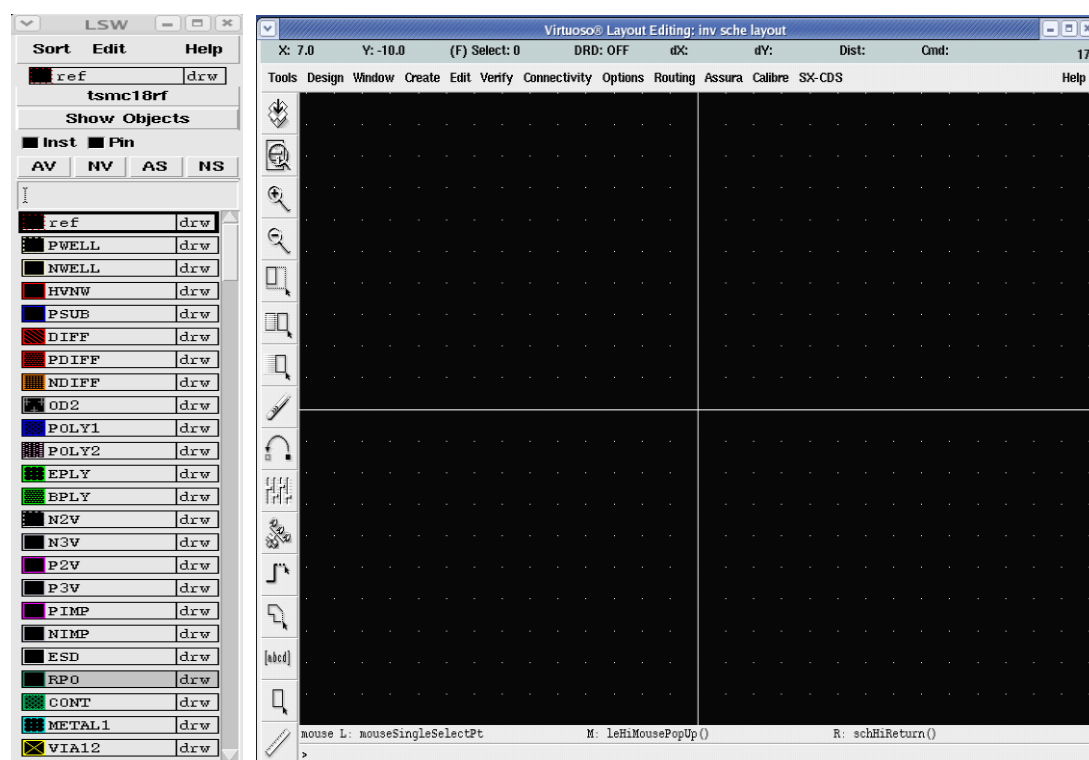
得到：

在上右图中，Cell name 还是 sche，不变，但是 tool 变了，改变了 tool 后，view name 会自动改为 layout。点击 OK。会出现很多变化：

文件结构多了个 layout



而且出现了这两个：



左边表示版图的各个层，右边是画版图的区域。很有必要将左边的各层介绍介绍，已经假设你对 mos 管的物理结构比较了解。

PWELL 是 P 阱。

NWELL 是 N 阱。

DIFF 是扩散区，也叫有源区 active。

POLY1 是栅极。

PIMP 是选择进行 P 型扩散。

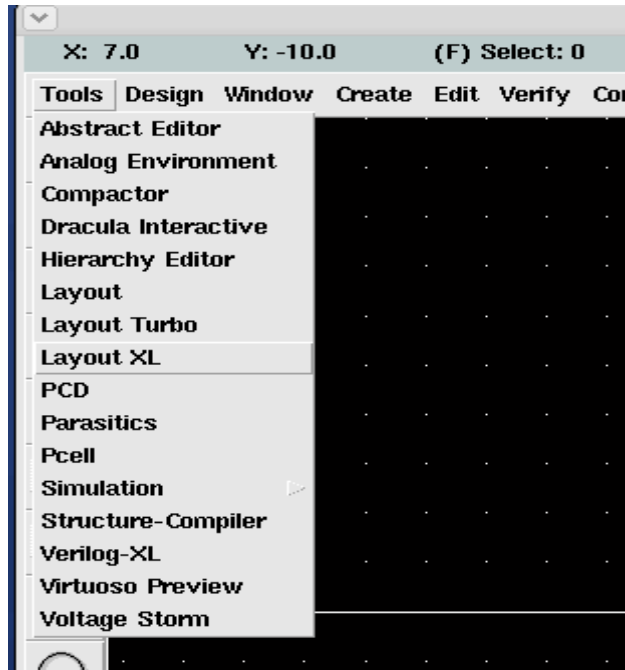
NIMP 是选择进行 N 型扩散。

CONT 是接触孔 contact。

MENTAL1 是金属 1 层。

其他的暂时用不到。关键是不同的工艺库，它的颜色和名字都不同，不能通用，所以这里比较困难。

我们使用另外一个工具来画版图，点击 tools 的 layout XL，如下图：

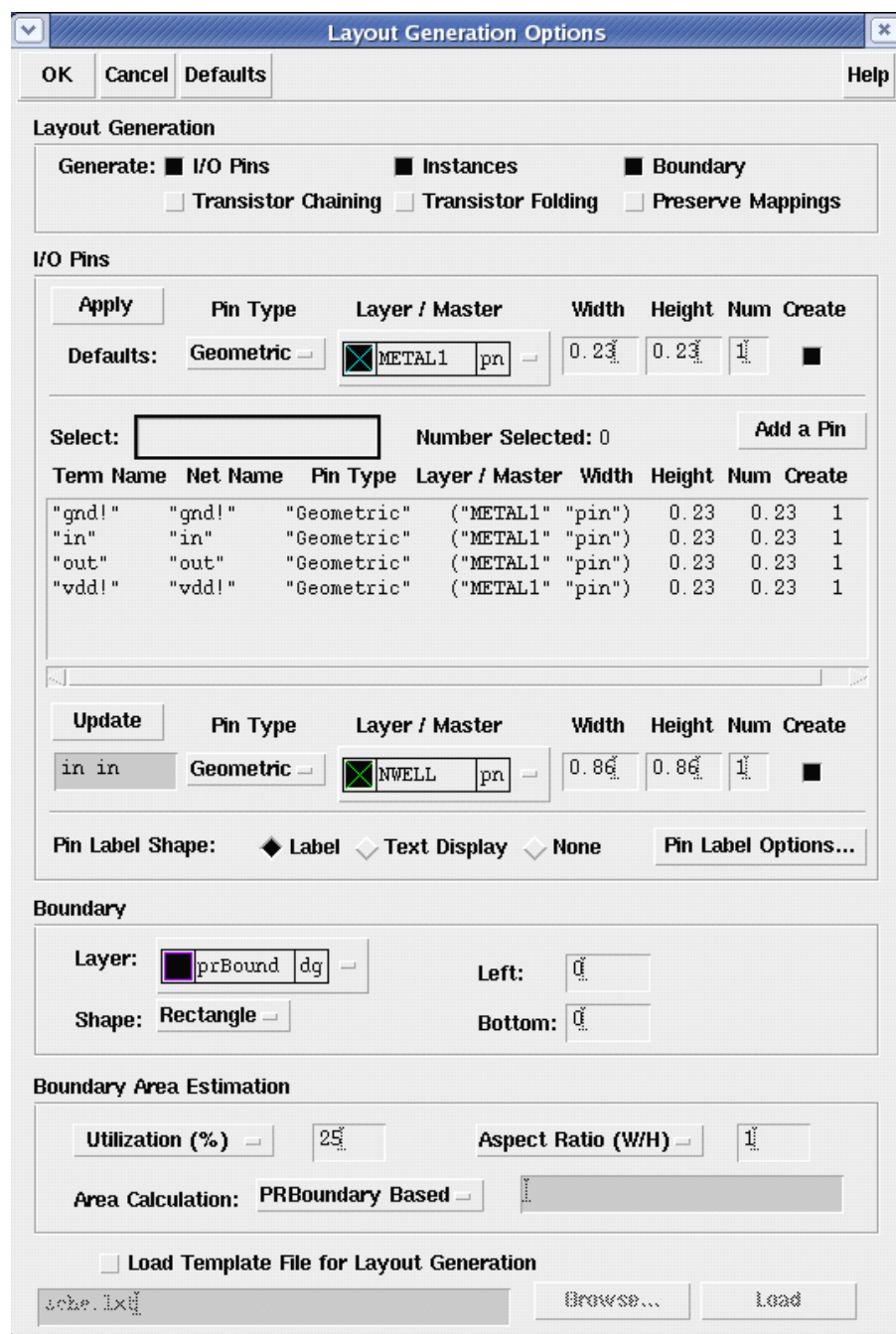


可能没有明显的变化，但是实质上是有变换的。

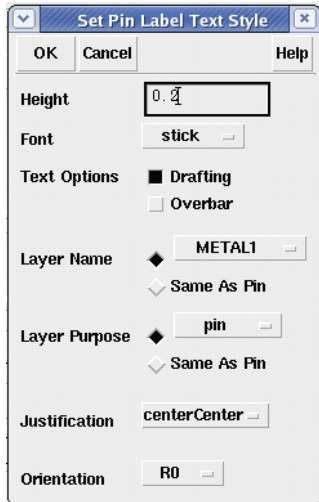
我们用软件自动生成的办法来做。点击 design 的 gen from source ，如下图：



得到下图：

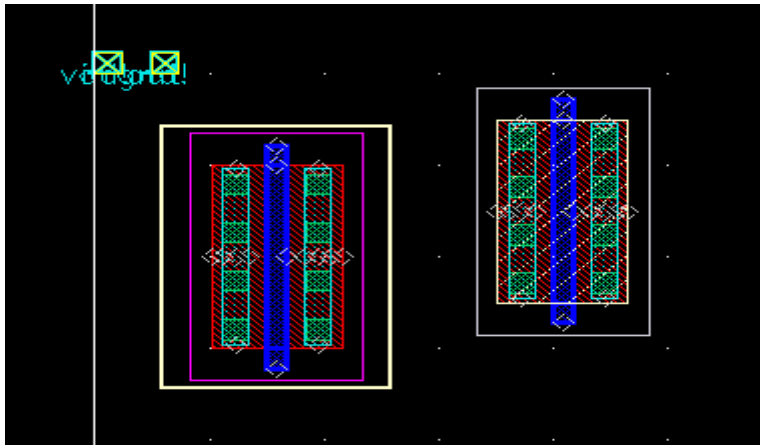


这个图中的设置很重要！在 I/O pins 栏中，将 NWELL pn 改为 METAL1 pn，主要不要改错了，不是 METAL1 dg，然后点击 Apply，可以发现中间的 4 个端口参数都变了。另外在 Pin Label Shape 栏中，选中 Lable，点击后面的 Pin Label Options，打开下面对话框：

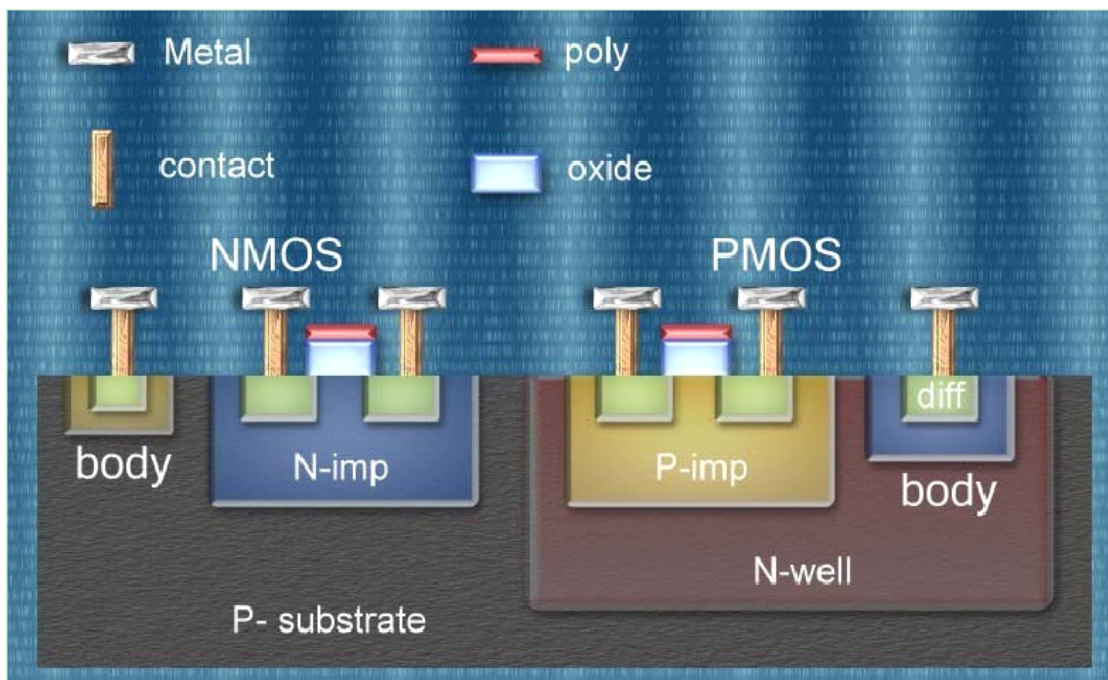


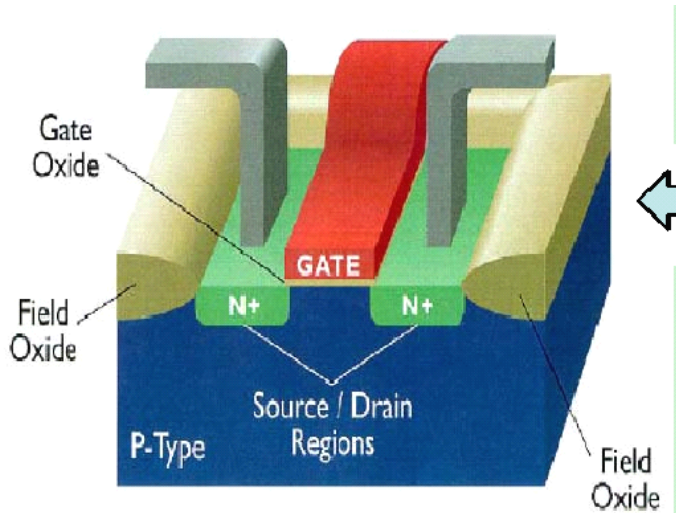
Height 为 0.2，这个是 Label 的大小，1 的话显示太大。Layer name 选择 METAL1。
Layer purpose 选择 pin。OK.

出现下面的版图：里面有 4 个引脚和两个 mos 管。

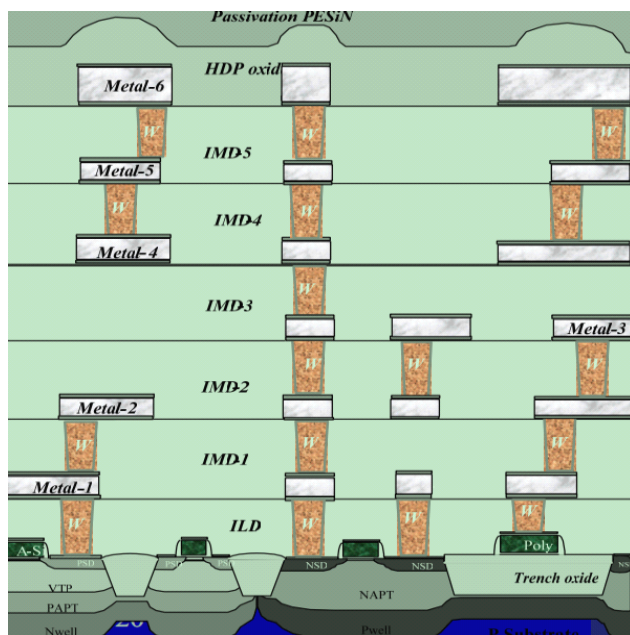
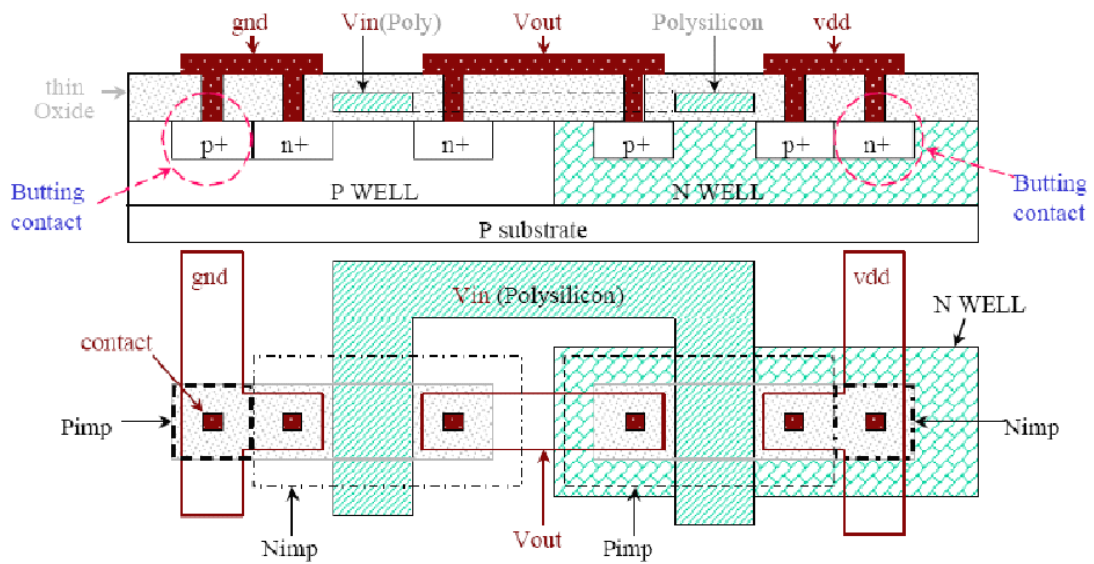


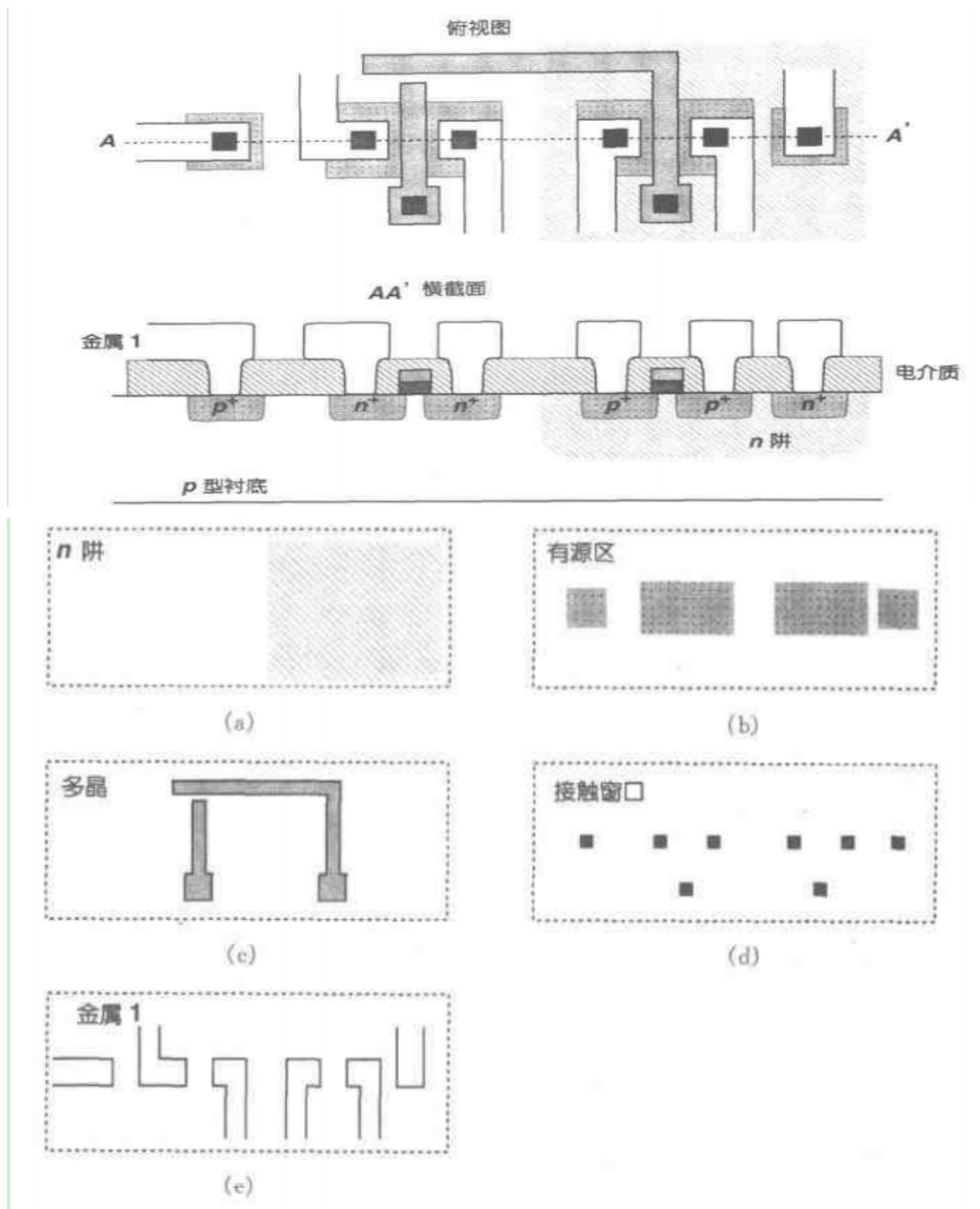
为了能理解 mos 管的版图，我在这里贴出一些 mos 管版图的结构。





NMOS工艺层立体图





下面详细介绍版图的画法，先列出版图中使用的快捷键和某些设置。

Ctrl+z 放大

Shift+z 缩小

m 移动

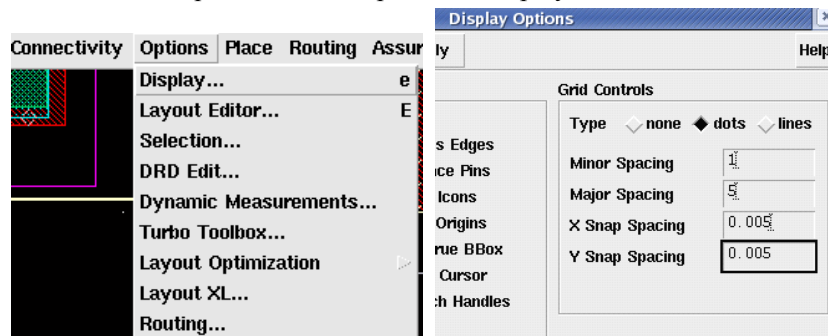
q 属性

r 画矩形

Shift+k 删除 ruler

c 复制

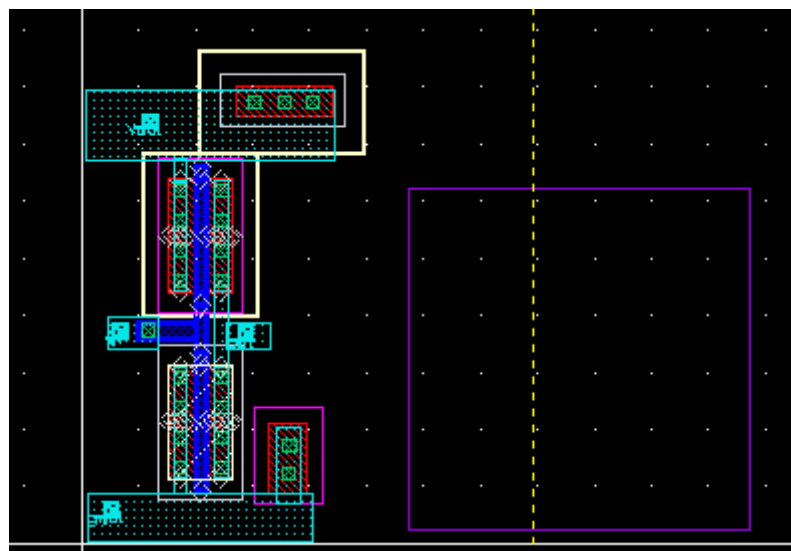
先设置一下 snap 的大小，在 options 的 display 中



这是设置的是 0.005，有时候可能为了方便要改成另外的。



这个设置为 anyAngle 表明可以任意方向拖动，其他的有的是只有单方向拖动。OK 退出。可以使用 m 键移动，可以先将紫色的框方一边，完了后再弄过来。



版图里面有的是要严格对齐，可以按键 q 在属性中更改 xy 坐标。

版图的具体步骤可以参加其他教程，有的教程写的很详细。我这里对有些地方进行说明。必须得严格对齐，可以通过更改属性来对齐，否则 DRC 会有很多错误。

METAL1 有 drw 和 pn 之分，drw 是画金属层的，pn 是画引脚的，两个是同一个层的不同功能部分。

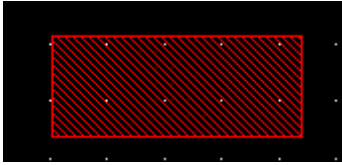
有些层必须相距一定的距离，有些层可以重叠，这个需要对各个层都了解，需要平时的积累。

要经常使用尺子 ruler 来测量，shift+k 来删除 ruler。

虽然前面已经说过每个层干嘛用的，但是这里还是要再说一遍。



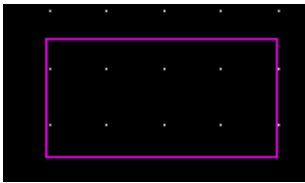
NWELL, N阱, pmos 管做在 N阱中。



DIFF 扩散区, 或者是有源区, 这个不分 P型和 N型。



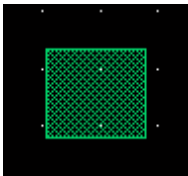
POLY1, 多晶, 做 mos 管的栅极。



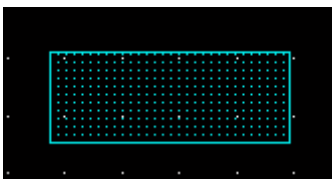
PIMP, 是说明里面的 DIFF 是 P型扩散。跟 DIFF 联合使用。



NIMP, 是说明里面的 DIFF 是 N型扩散。跟 DIFF 联合使用。



CONT, 连接孔, 这个是固定大小的矩形, 变长是 0.22um。



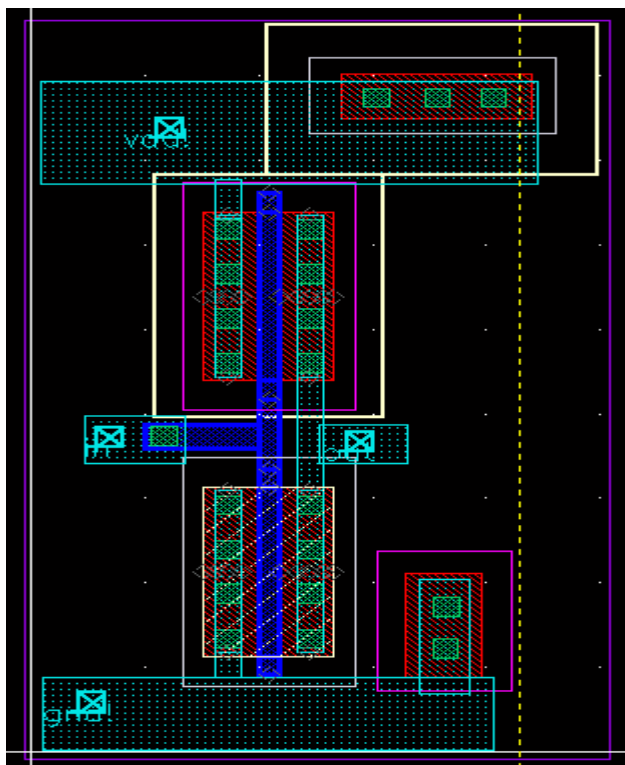
METAL1 drw, 金属 1层, 画金属连线的。



METAL1 pn, 金属 1层, 画金属引脚的。

按键 F4 可以在选中之间切换, 选中是真个方框还是选中某一边。

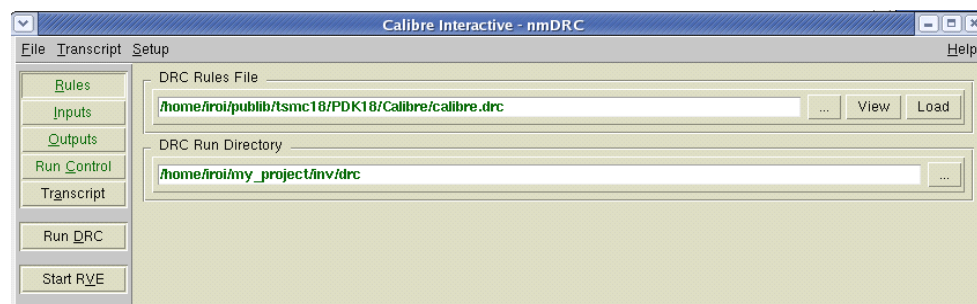
画完后的版图是：



Calibre 软件的介绍我这里也只是简单介绍，详细的参见其他教程。
然后进行 DRC 检查，点击 Calibre 的 Run DRC



打开如下窗口：刚打开时要 load runset file，这里没有就点击 cancel。



在 Rules 标签中的 DRC Rules File 中加入 rules file，tsmc 公司提供的是 Calibre.drc。

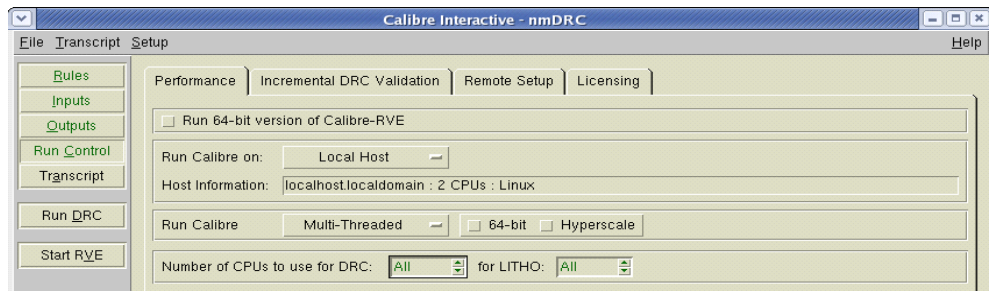
然后在 DRC Run Directory 中选择输出文件存放目录。这里要注意，DRC 检查会产生很多文件，为了文件存放清晰，DRC 强烈建议在 inv 目录下新建个文件夹 drc，这样生成的所有文件都在 drc 文件夹下。

然后是 inputs 标签中，如果选中 Export from layout viewer，则软件自动生成网表，网表的名字就是 File 中的 sche.calibre.db，如果没选中，软件将调用 sche.calibre.db 文件。这里我们不改。如果颜色是红色，就说明设置有错误。



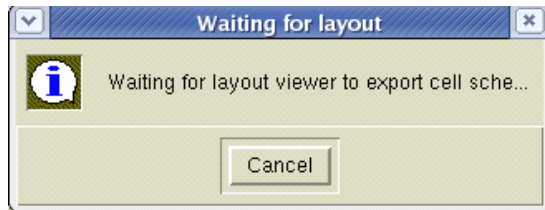
Outputs 标签中的我们也不改。

Run Control 标签中，如下：



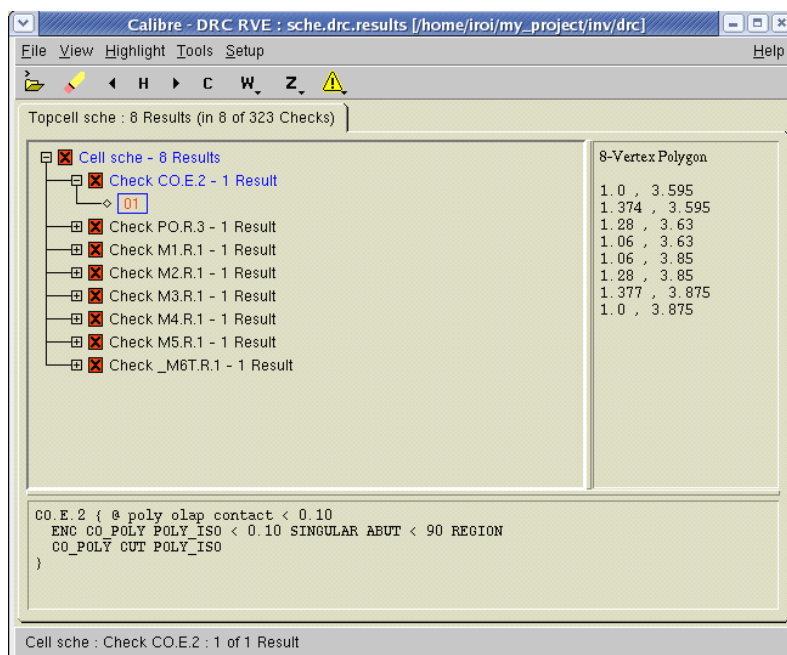
我们使用的是多核 CPU，所以 Run Calibre 中选中 Multi-Threaded。

然后点击 Run DRC。它会出一个对话框：

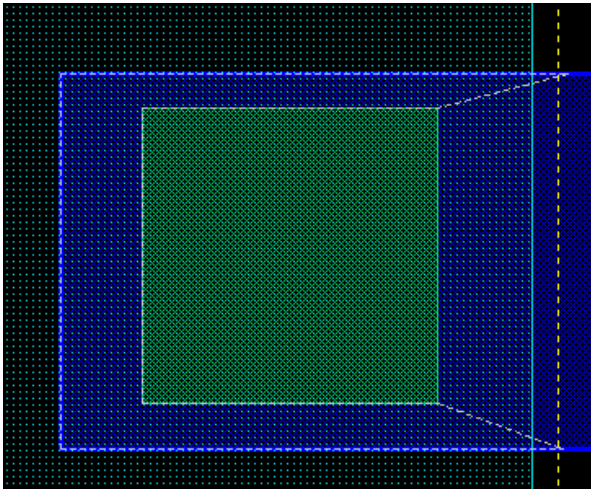


因为前面选择的是软件生成网表文件，所以有这个，不管他，等一下就行了，不要点击 Cancel。

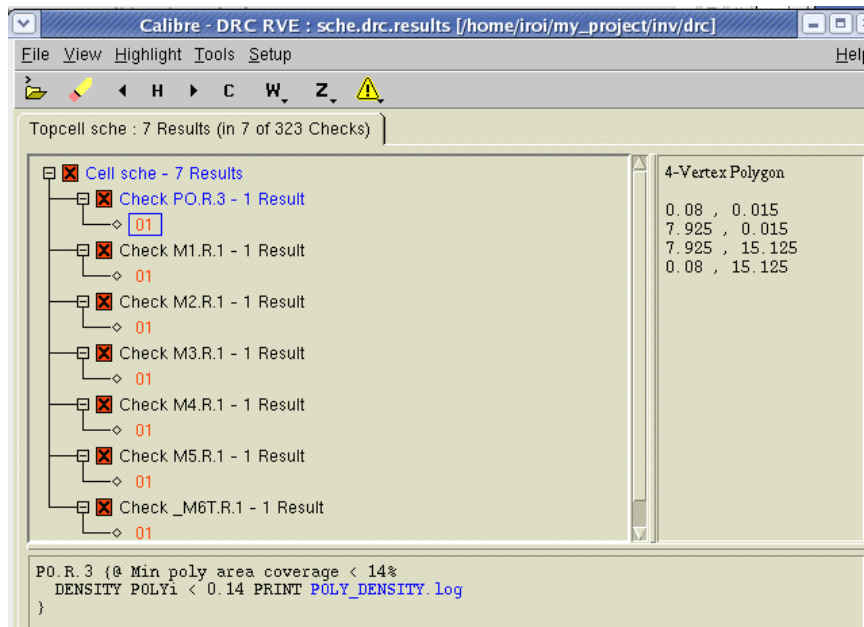
完了后会出现错误信息窗口 RVE，如果没有出现，点击左边的 Start RVE。



这里会显示错误信息，错误原因，双击某个错误，下面会出现错误原因，也会在版图中高亮显示：

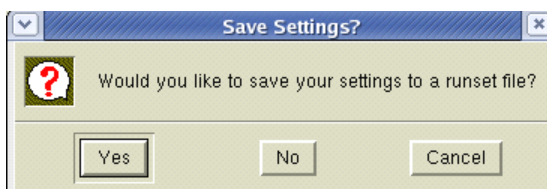


很明显，contact 和 poly1 的边距太小，改后即可。再 Run DRC 完了之后应该还有 7 个错误，如下：



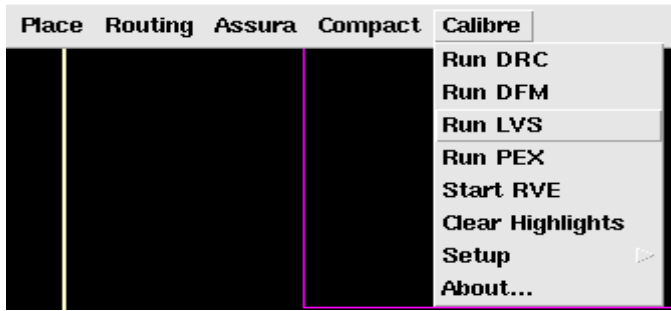
分别是说，poly1 的面积小于 14%，M1 到 M6 的面积小于 30%，这个需要在空余的地方增大他们的面积。M2-M6 没有使用，我们这里就随便画了。其实这个可以到后面来处理，因为它不影响后面的 LVS 检查。我们也留在后面讲这个问题。

关闭 DRC 时，会提示保存 runset file

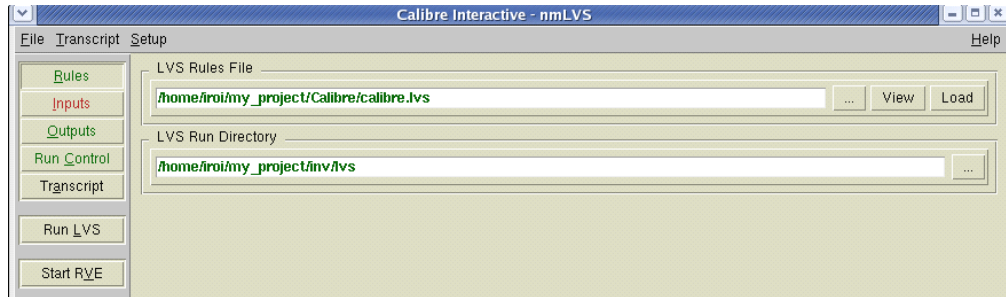


点击 yes，取个名字保存在 DRC 目录下就可以了。

DRC 检查就是这样，现在进行 LVS 检查，LVS 是原理图和版图对应的检查，看两者是否一致。点击 Calibre 的 Run LVS。

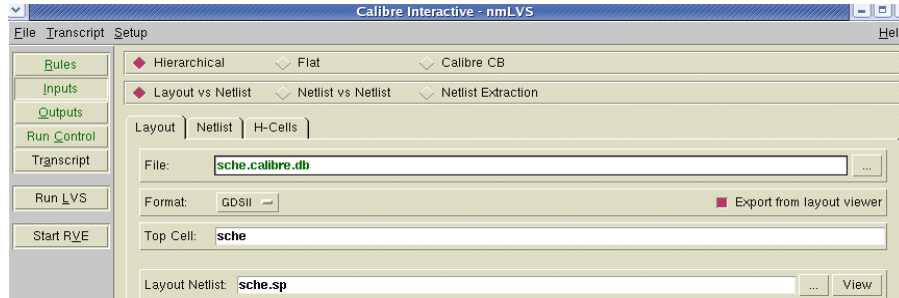


同样，启动没有 runset file，选择 cancel 打开如下：



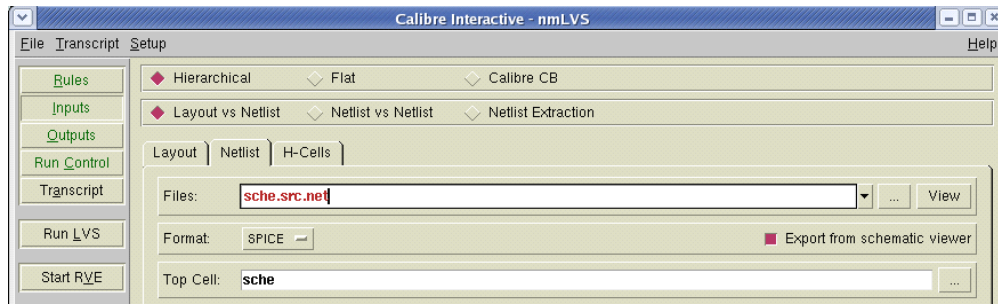
装载 rules file ，选择 lvs 目录，还是强烈建议，在那 inv 目录下新建一个 lvs 目录，它将生成很多文件，也不要 drc 目录。

同样在 inputs 标签中：



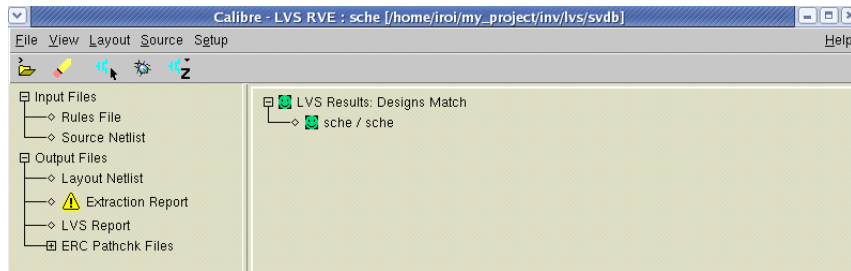
Layout 选项中 Export from Layout viewer 功能同上面相同。

Netlist 选项中第一次选中 Export from Layout viewer



Layout 对应的是版图的信息，netlist 是原理图的信息。

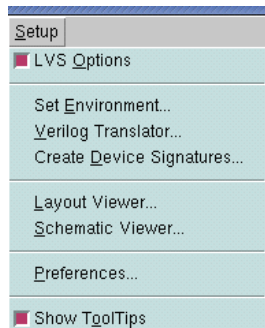
Outputs 这里不改，Run Control 像上面一样改成多核的。然后点击 Run LVS。



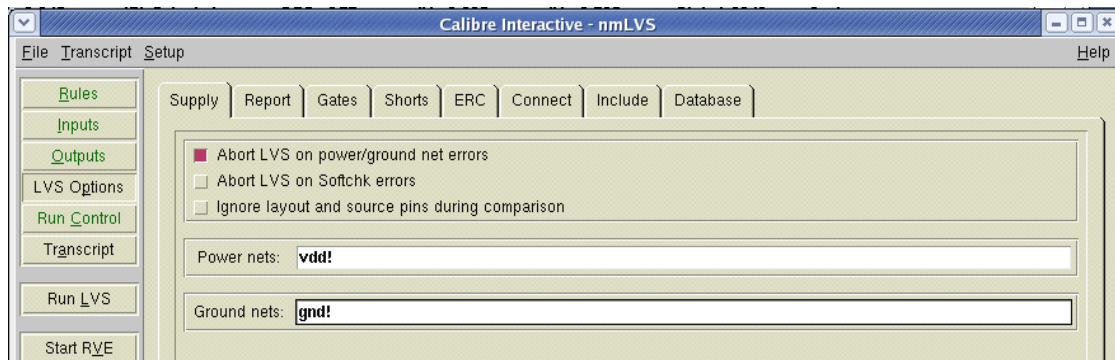
发现有警告，双击警告信息，得到：

```
WARNING: Invalid PATHCHK request "GROUND && ! POWER": no POWER nets present, operation aborted.  
WARNING: Invalid PATHCHK request "POWER && ! GROUND": no POWER nets present, operation aborted.  
WARNING: Invalid PATHCHK request "! POWER && ! GROUND": no POWER nets present, operation aborted.
```

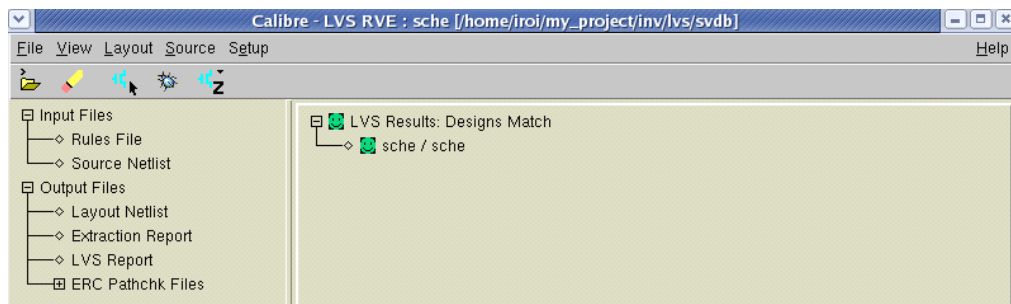
电压和地有问题。在 setup 里面选中 LVS Option



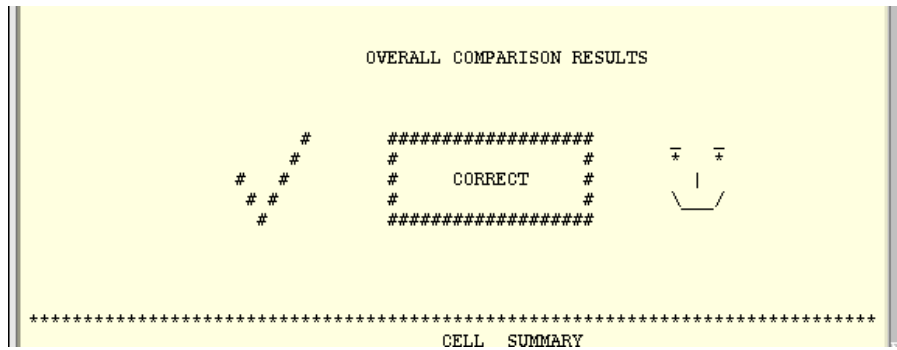
填写如下，其他的不改。



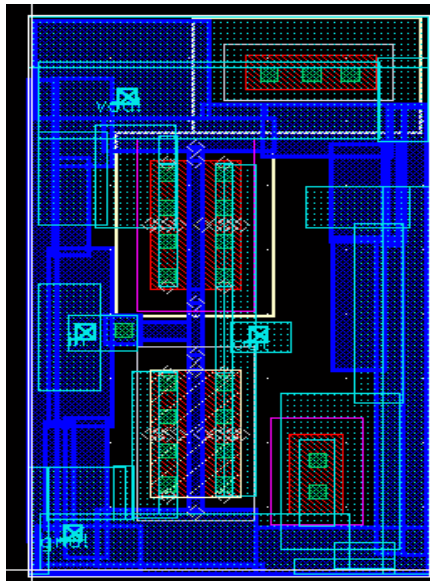
再次运行 Run LVS，得到：



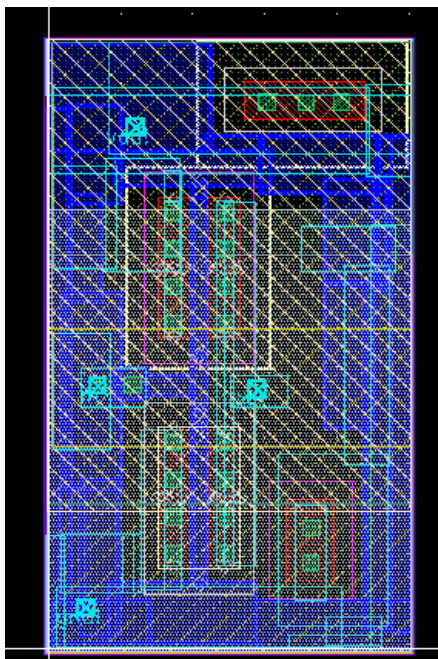
警告没有了，而且会出现对勾和笑脸，如下：



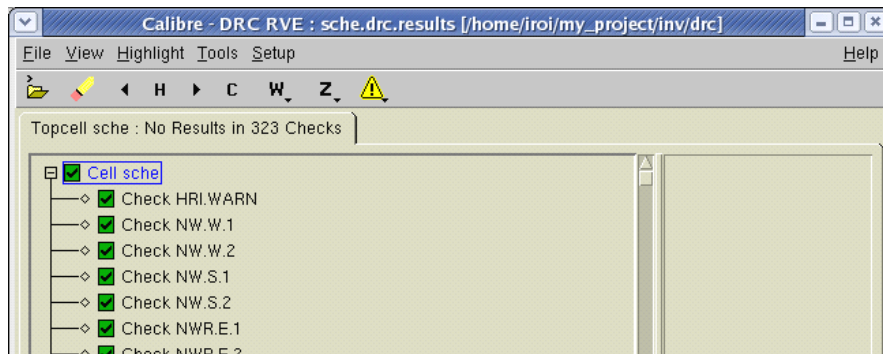
LVS 就结束了，退出时保存 runset file。
然后就是要把前面几个的 DRC 错误改过来。



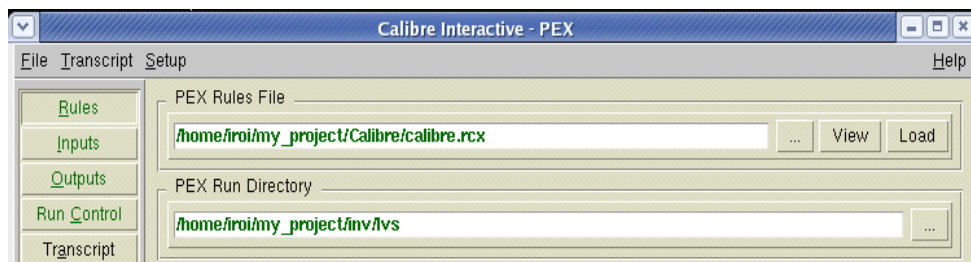
其实就是在空白的地方加 POLY1 和 METAL1，记得在加完这两个后要进行 DRC 检查，因为可能加的时候违反了设计规则。然后加 METAL2 到 METAL6 就不要紧了。



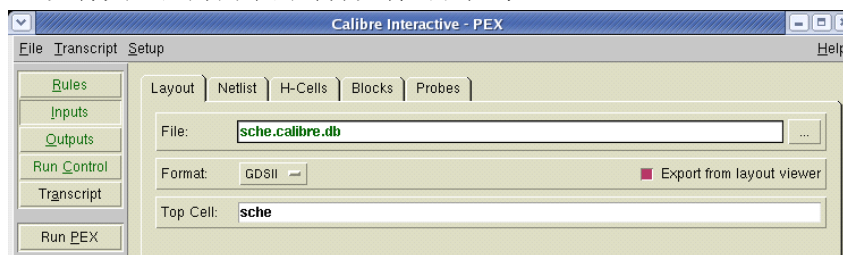
这是加了金属层后的最后的版图，再进行 DRC 检查，结果就没有错误了，如下：



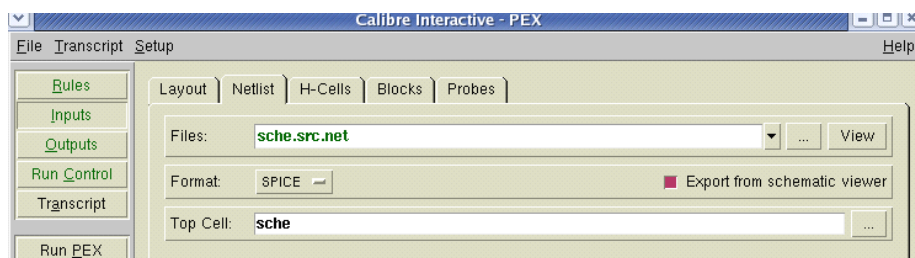
接下来进行 PEX 参数提取。点击 Calibre 的 Run PEX。



加入 PEX 的 rules file，tsmc 公司提供的是 calibre.rcx。这次的目录跟 LVS 目录相同，都是 lvs 文件夹，因为两个的部分文件可以共享。

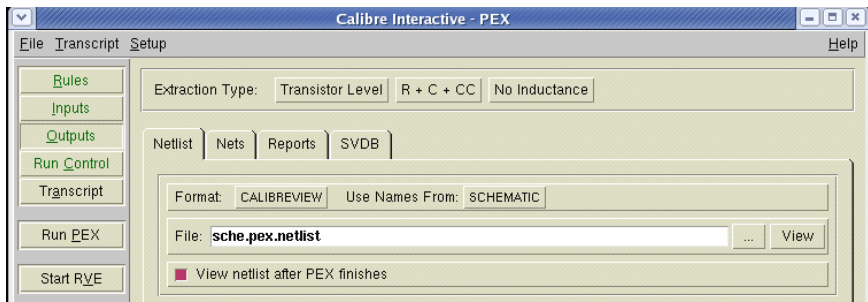


上面是 layout 的。下面是 netlist 的。



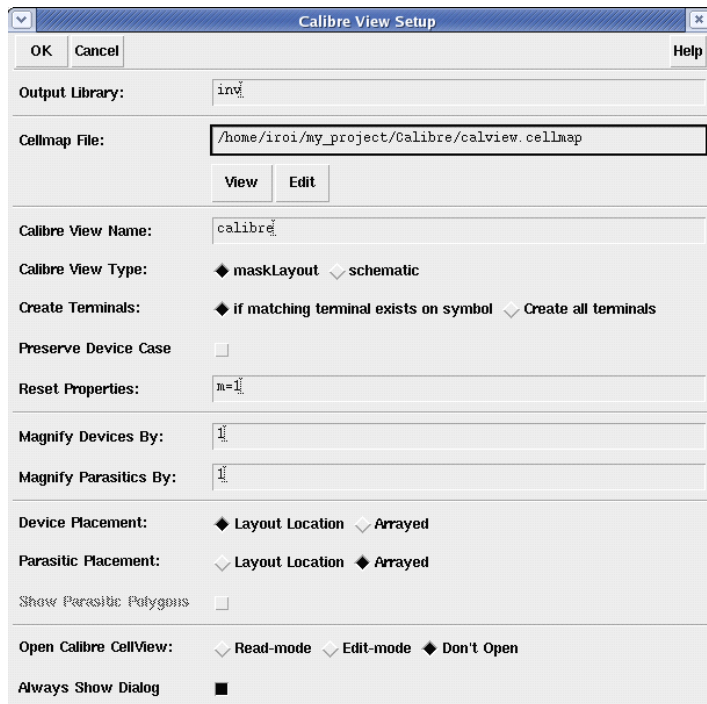
如果是跟 lvs 同一个目录，则上面两个文件都已经生成了，Export from layout viewer 和 Export from schematic viewer 就可以不选中了，这样节省了时间。

Output 的设置如下：Format 设置为 CALIBREVIEW，其他的设置为与图中相同即可。

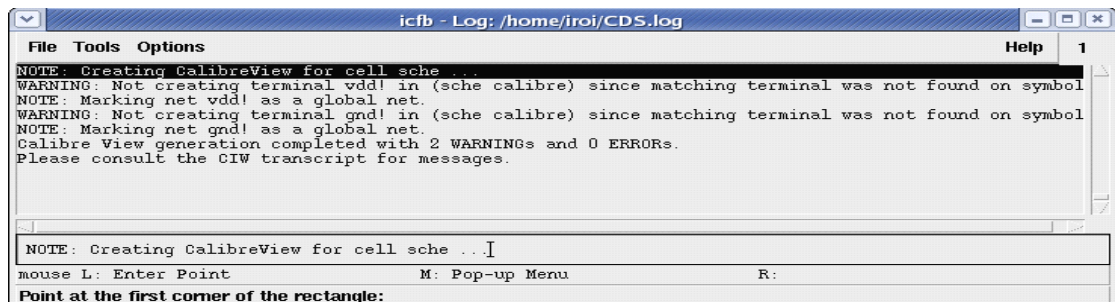
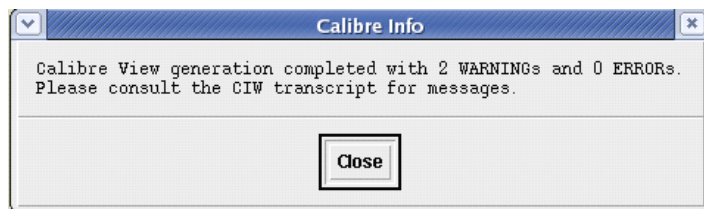


Run Control 设置为多核。点击 Run PEX。

过一会儿会出现下面的窗口：

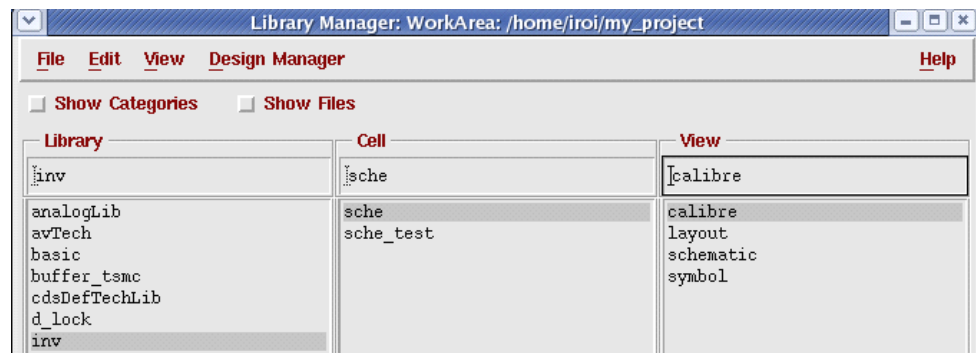


这里关键是要输入 Cellmap file 的路径，然后在 Calibre View Name 里面输入要生成的名字。点击 ok。会出现如下警告：



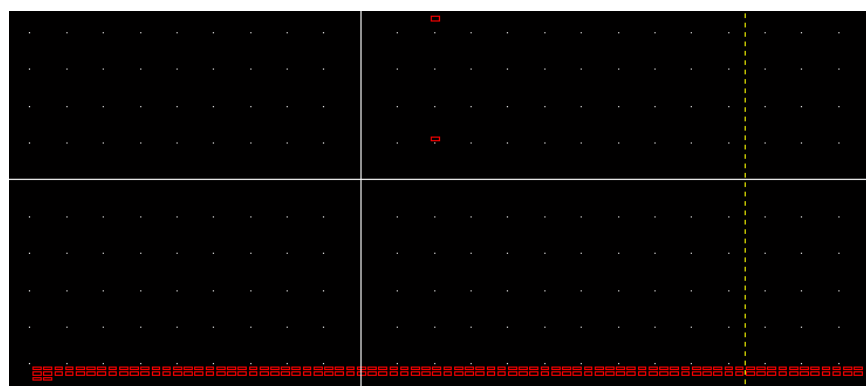
可以看到警告内容，我也不知道是否有错。

然后就会在 Library Manager 里面看到多了个 View: calibre



这样，版图提取就完成了，版图提取后的文件就是 calibre。

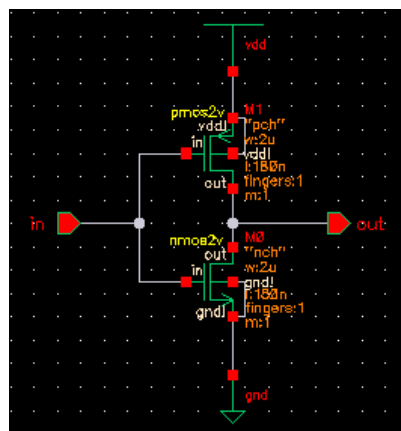
双击 View 中的 calibre 就可以看到：



上面两个红色的方框就是两个 mos 管，下面那么多都是提取出来的寄生参数。放大看如下：

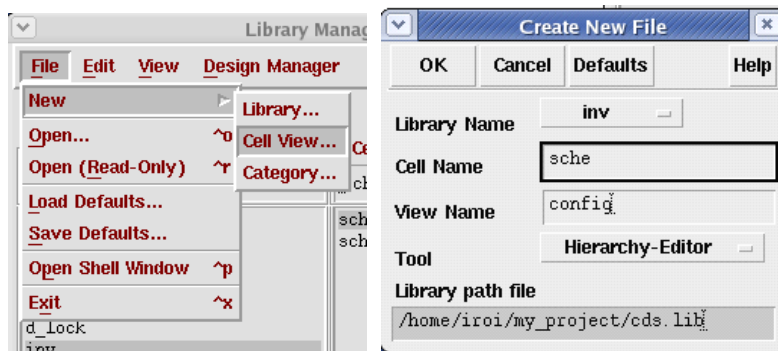


注意，这个是非门的版图，而测试电路不在里面：

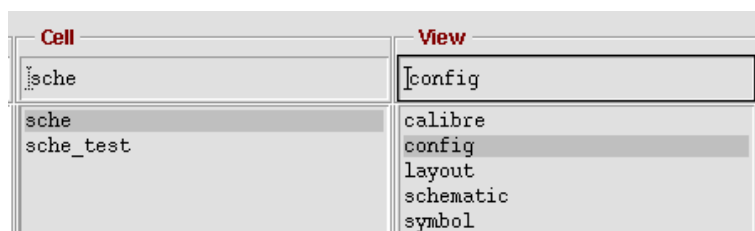


接下来就是后仿，要生成用于后仿的文件。

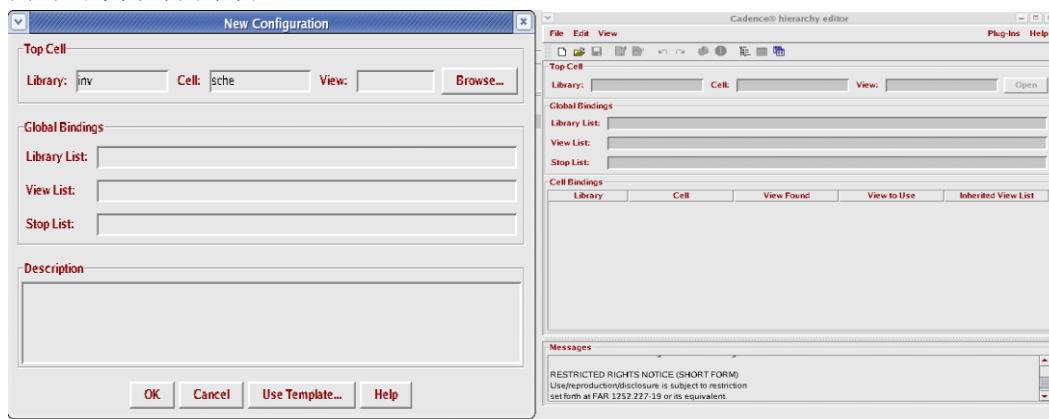
新建 Cell:



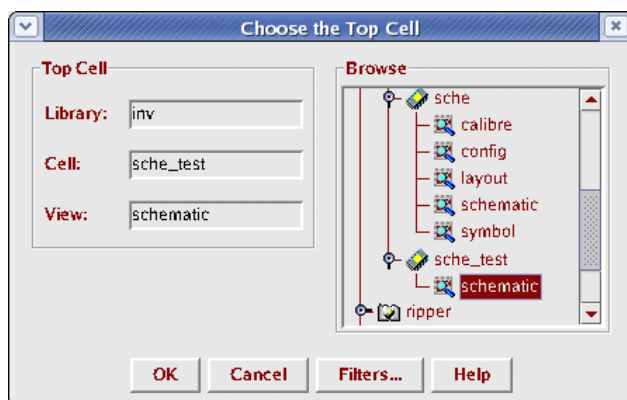
注意上右图中，Cell name 还是要在 sche 中，Tool 改为 Hierarchy-Editor，View Name 就会自动变为 config。点击 Ok。可以看到多了个文件：



同时出来另外两个窗口：

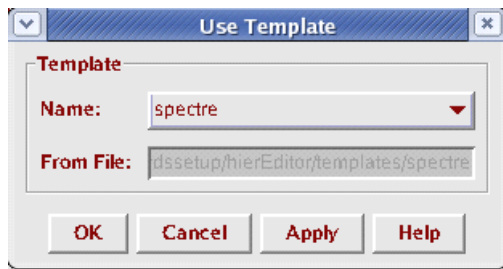


点击左边的窗口的 Browse... 将出现下面窗口：

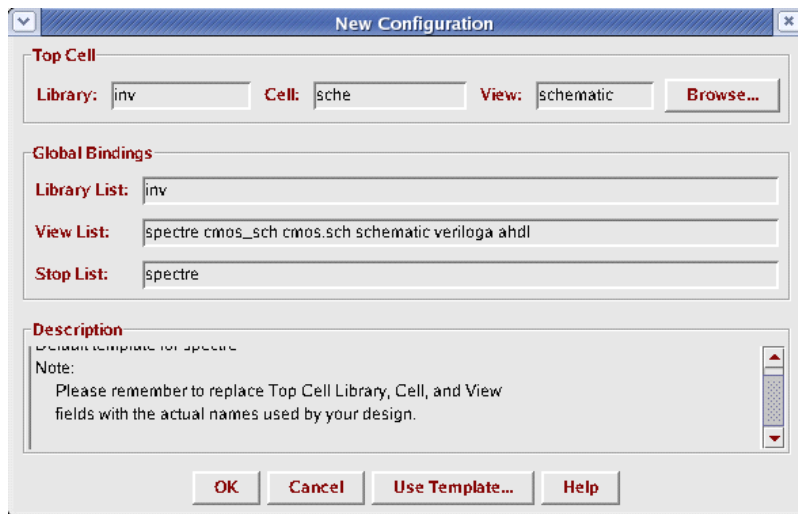


选择 sche_test 中的 schematic，点击 ok。不要选 sche 中的 schematic，因为顶层文件是 sche_test。

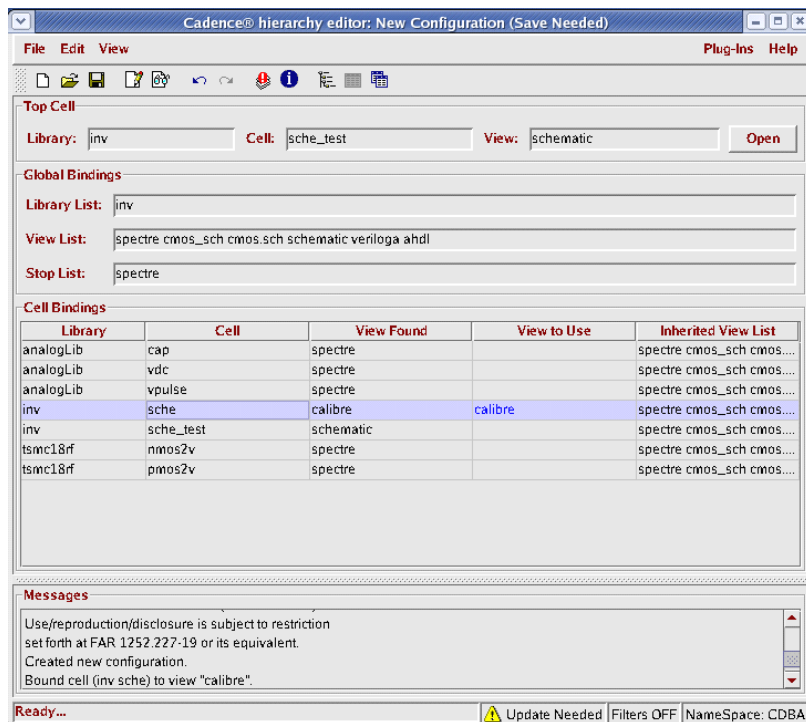
然后点击  中的 use template...得到:



在 Name 中选择 spectre, 点 OK, 得到:

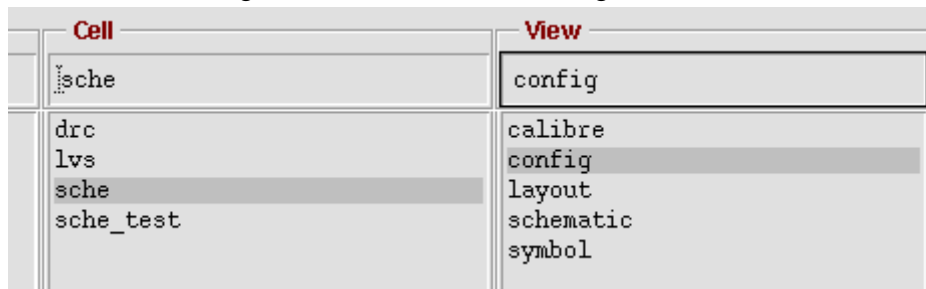


然后在上图中将 Library List 改为 library 的名字 inv。点击 OK 得到:

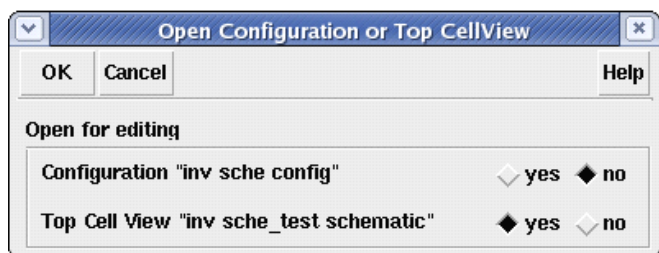


在所示的那行的 View to Use 列输入 PEX 生成的文件名, 这里是 calibre。保存之后可以关掉。

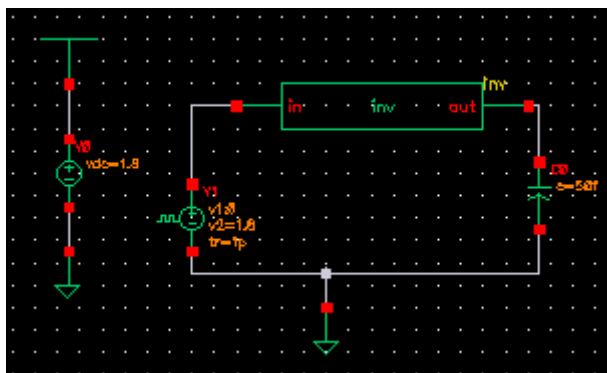
然后可以打开 config 看看，双击 View 中的 config:



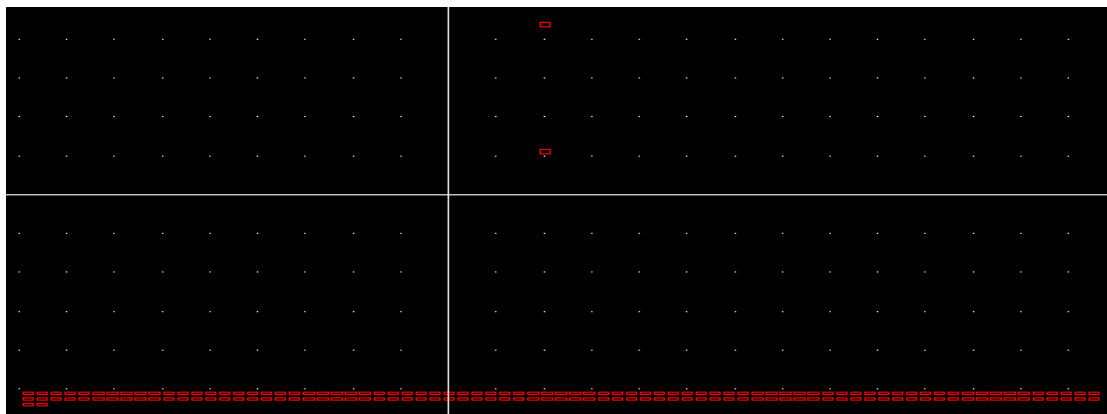
出现如下:



可以两个都选 yes，看看打开的是什么，我这里就只打开下面的，上面的你打开了就熟悉。打开后就是下面这个图:



看起来好像没什么哈，但是选中 inv，按键 e 进入其内部，得到:



应该眼熟吧，用的是提取版图后的图做的仿真，这样就把各种参数的影响全部考虑进去了。然后接下来的仿真就和原理图的仿真是一样的了，整个过程就结束了。

